

Metastabilnościowy generator losowy z generatorem metastabilnościowych interwałów czasowych

Przedmiotem wynalazku jest metastabilnościowy generator losowy z generatorem metastabilnościowych interwałów czasowych, którego dziedziną techniki są układy elektroniczne (MKP: H03), przynależące do techniki impulsowej (H03K), a konkretnie układy dwustabilne lub wielostabilne do wytwarzania impulsów elektrycznych (H03K 3/00), w szczególności ciągów impulsowych (interwałów) o czasach trwania wykazujących określony statystyczny (losowy) rozkład tego parametru – jest zatem generatorem impulsów o przypadkowym czasie ich trwania (H03K 3/84).

Znany jest z polskiego opisu patentowego PL 225186 B1 generator metastabilnościowych interwałów czasowych, który ma co najmniej dwa multiwibratory, których wyjścia dołączone są do wyjść generatora a wejścia multiwibratorów dołączone do wejść generatora. W szczególnym wykonaniu tego generatora multiwibratory mają pierwsze wejścia zwarte ze sobą i dołączone do pierwszego wejścia generatora oraz mają drugie wejścia zwarte ze sobą i dołączone do drugiego wejścia generatora. W innym wykonaniu generatora, pomiędzy wejściami multiwibratorów i wejściami generatora włączone są także układy opóźniające.

Znany jest z polskiego opisu patentowego PL 232380 B1 generator metastabilnościowych interwałów czasowych, który posiada multiwibratory z regulowaną szybkością, układ dopasowania multiwibratorów i układ sterowania szybkością. Generator ma wejścia regulacji szybkości multiwibratorów dołączone do kolejnych wyjść układu dopasowania multiwibratorów, a wejście sterujące układu dopasowania multiwibratorów dołączone do wyjścia układu sterowania szybkością.

Znany jest z polskiego zgłoszenia patentowego P.445769 przerzutnik bistabilny (multiwibrator), zrealizowany na tranzystorach o jednym typie przewodnictwa (niekomplementarnych). Przerzutnik posiada dwie pary tranzystorów, których dreny dołączone są do zacisku zasilającego poprzez rezystory. W parach tych tranzystory są połączone ze sobą źródłami i dołączone są do masy układu, a każda bramka tranzystora dołączona jest do drenu drugiego tranzystora w danej parze. Przerzutnik posiada kolejne dwie pary tranzystorów, gdzie tranzystory w parach są połączone ze sobą źródłami, a połączone źródła są dołączone do masy układu poprzez tranzystory zegarowe. Bramki tranzystorów zegarowych dołączone są do zacisków wejściowych: niezanegowanego i zanegowanego. Dreny tranzystorów trzeciej i czwartej pary dołączone są kolejno do drenów tranzystorów pierwszej i drugiej pary. Natomiast bramki tranzystorów trzeciej pary dołączone są kolejno do drenów tranzystorów czwartej pary, podczas gdy bramki tranzystorów czwartej pary dołączone są w odwrotnej kolejności do drenów tranzystorów trzeciej pary. Zaciski wyjściowe: niezanegowany i zanegowany, dołączone są kolejno do drenów drugiego tranzystora

czwartej pary i pierwszego tranzystora czwartej pary. Ponadto, do drenu drugiego tranzystora zegarowego dołączony jest zacisk wstrzykiwania ładunku.

Znane są z publikacji P. Z. Wieczorka i K. Gołofita „Dual-Metastability Time-Competitive True Random Number Generator”, IEEE Transactions on Circuits and Systems I: Regular Papers 61(1), 2014, DOI: 10.1109/TCSI.2013.2265952, podstawy teoretyczne zjawiska metastabilności w przerzutnikach, przykłady pobudzania przerzutników do pracy w odpowiednim obszarze metastabilności, symulacyjne i rzeczywiste przykłady generowania interwałów przez dwa przerzutniki wraz z parametrami statystycznymi rozkładów tych interwałów. Przedstawiony został rozkład wynikający z porównania interwałów szybkim układem arbitrażu (zbudowanym z dwóch komplementarnie podłączonych przerzutników) oraz wyniki badań wraz z wizualizacją procesów pochodzących z rzeczywistego układu generatora losowego.

Znane są z publikacji P. Z. Wieczorka i K. Gołofita „Metastability Occurrence Based Physical Unclonable Functions for FPGAs”, Electronics Letters 50(4), 2014, DOI:10.1049/el.2014.0143, wyniki badań różnych egzemplarzy tego samego układu, pokazujące jak duży wpływ mają rozrzuty technologiczne na położenie okna metastabilności przerzutnika wykonanego w standardowym układzie FPGA.

Znany jest z polskiego opisu patentowego PL 232381 B1 metastabilnościowy generator losowy zawierający generator metastabilnościowych interwałów czasowych o co najmniej dwóch wyjściach oraz zawierający co najmniej jeden arbiter dołączony do co najmniej dwóch wybranych wyjść generatora metastabilnościowych interwałów czasowych, przy czym generator metastabilnościowych interwałów czasowych posiada regulację szybkości przynajmniej jednego wyjścia i posiada przynajmniej jedno wejście regulujące tę szybkość.

Znane są w stanie techniki, w szczególności w inżynierii dotyczącej elektroniki, tranzystory z efektem polowym (FET – od ang. field-effect transistor) z izolowaną bramką, tranzystory cienkowarstwowe (TFT – od ang. thin-film transistor), jak również tranzystory oparte na indowogalowym tlenku cynku (IGZO lub InGaZnO – od ang.: indium (In), gallium (Ga), zinc (Zn), oxygen (O)). Znane jest także wykonanie tranzystorów z amorficznego materiału półprzewodnikowego (a-TFT) lub innych materiałów, pozwalające na giętkość układów scalonych. Wiadome też jest, że oznaczenie drenu i źródła tych tranzystorów jest umowne, gdyż ze względu na symetryczną budowę tranzystora zamiana tych oznaczeń nie zmienia funkcjonalności tranzystora czy układu, w którym się on znajduje – nazewnictwo to ma jednak charakter porządkujący.

Celem wynalazku jest opracowanie układu elektronicznego o ściśle przewidywalnym działaniu (w rozumieniu stochastycznym), wytworzonego w technologii elastycznych układów scalonych, która jest oparta na tranzystorach o tylko jednym typie przewodnictwa, niskich transkonduktancjach i dużych rozrzutach technologicznych. Wynalazek rozwiązuje szereg problemów, do których należą: (1) brak możliwości wzajemnego dopasowania wartości oczekiwanych czasów odpowiedzi na wyjściach generatora metastabilnościowych interwałów czasowych w przypadku nieidentyczności równorzędnych bloków składowych; (2) nieprzewidywalna i niepowtarzalna pomiędzy układami praca wynikająca z istotnego wpływu na działanie układu (w szczególności na nieznanne położenie i szerokość okna metastabilności układu bistabilnego) następujących czynników: a) znacznych rozrzutów technologicznych, zarówno lokalnych jak i globalnych, b) zmian parametrów elektrycznych podstawowych elementów elektronicznych (głównie tranzystorów i rezystorów) wywołanych oddziaływaniem mechanicznym (wyginaniem), występującym przy zmianie geometrii układu dopasowanego kształtem do produktu lub wielokrotnego odkształcania w elastycznie pracującym zastosowaniu układu, c) fluktuacji

czasowych parametrów elektrycznych podstawowych elementów elektronicznych (wywołanych starzeniem się) – charakterystyczne dla wykorzystanych do budowy materiałów organicznych i niemonolitycznego (np. amorficznego) półprzewodnika, d) zmian parametrów układów związanych z czynnikami środowiskowymi (temperatura, zasilanie układu, ataki side-channel); (3) często zbyt mały i niemożliwy do zmiany wpływ pożądaných szumów (napięciowych i fazowych – głównie typu 1/f) podstawowych elementów elektronicznych na fazę autonomiczną (tj. na zakres pracy układu, w którym stan układu wynika tylko i wyłącznie z warunku początkowego, a nie z istniejących sygnałów wymuszających); (4) wydłużony i bliżej nieokreślony czas regeneracji układów bistabilnych (tj. czas od wyjścia układu z fazy autonomicznej do momentu gotowości układu do wejścia w kolejną fazę autonomiczną); oraz problem (5) znacznego poboru mocy, występujący zwykle w układach niekomplementarnych (wykorzystujących technikę RTL – ang. resistor-transistor logic) i o względnie dużych rozmiarach (mikrometrowych) elementów układu (głównie tranzystorów).

Przedmiotowym wynalazkiem jest metastabilnościowy generator losowy z generatorem metastabilnościowych interwałów czasowych, który posiada generator metastabilnościowych interwałów czasowych, według patentu nr PL 232381, charakteryzujący się tym, że generator metastabilnościowych interwałów czasowych zawiera pierwszy i drugi przerzutnik, każdy o dwóch wejściach dołączonych do wejść generatora metastabilnościowych interwałów czasowych i pojedynczych wyjściach dołączonych do wyjść generatora metastabilnościowych interwałów czasowych, przy czym pierwsze wejście generatora metastabilnościowych interwałów czasowych dołączone jest jednocześnie do pierwszych wejść przerzutników, a drugie wejście generatora metastabilnościowych interwałów czasowych dołączone jest jednocześnie do drugich wejść przerzutników. Ponadto, generator metastabilnościowych interwałów czasowych zawiera układ kompensacji i regulacji dołączony do wejść i wyjść generatora metastabilnościowych interwałów czasowych. Ponadto, pierwszy i drugi przerzutnik mają tę samą konstrukcję przerzutnika, który zawiera bistabilną parę tranzystorów części nadrzędnej i bistabilną parę tranzystorów części podrzędnej, w których to bistabilnych parach tranzystory są połączone ze sobą źródłami i dołączone do masy układu, a każda bramka tranzystora dołączona jest do drenu drugiego tranzystora w danej bistabilnej parze. Ponadto, przerzutnik ten zawiera parę tranzystorów ustalających części nadrzędnej i parę tranzystorów ustalających części podrzędnej, gdzie tranzystory ustalające w parach są połączone ze sobą źródłami, a połączone źródła są dołączone do drenów tranzystorów zezwalających tak, że źródła tranzystorów ustalających części nadrzędnej dołączone są do drenu tranzystora zezwalającego części nadrzędnej, którego bramka dołączona jest do drugiego wejścia przerzutnika poprzez pierwszy inwerter, a źródła tranzystorów ustalających części podrzędnej dołączone są do drenu tranzystora zezwalającego części podrzędnej, którego bramka dołączona jest do drugiego wejścia przerzutnika, gdzie źródła tranzystorów zezwalających dołączone są do masy układu, przy czym dreny tranzystorów ustalających części nadrzędnej dołączone są w odwrotnej kolejności do bramek tranzystorów bistabilnej pary części nadrzędnej, a dreny tranzystorów ustalających części podrzędnej dołączone są w odwrotnej kolejności do bramek tranzystorów bistabilnej pary części podrzędnej, natomiast bramki tranzystorów ustalających części podrzędnej dołączone są w odwrotnej kolejności do drenów tranzystorów bistabilnej pary części nadrzędnej. Ponadto, w przerzutniku tym dreny tranzystorów obydwu bistabilnych par dołączone są do zasilania układu poprzez tranzystory obciążenia dynamicznego, których bramki dołączone są do wejść dynamicznego sterowania przerzutnikiem. Ponadto, w przerzutniku tym bramka drugiego tranzystora ustalającego części nadrzędnej dołączona jest do pierwszego wejścia przerzutnika, a bramka pierwszego tranzystora ustalającego części nadrzędnej dołączona jest do pierwszego wejścia

przerzutnika poprzez inwerter kluczowany, którego dolny biegun zasilania został dołączony do drenu tranzystora zezwalającego części nadrzędnej. Ponadto, w przerzutniku tym dreny tranzystorów bistabilnej pary części podrzędnej dołączone są do wyjścia przerzutnika poprzez układ wyjściowy, który zawiera dwa tranzystory wyjściowe i rezystor wyjściowy, przy czym pierwszy tranzystor wyjściowy dołączony jest drenem do zasilania układu, bramką do drenu drugiego tranzystora bistabilnej pary części podrzędnej, a źródłem do wyjścia przerzutnika i drenu drugiego tranzystora wyjściowego, którego źródło dołączone jest do masy układu, a bramka do drenu pierwszego tranzystora bistabilnej pary części podrzędnej, natomiast rezystor wyjściowy włączony jest między zasilanie układu a wyjście przerzutnika. Ponadto, w przerzutniku tym pomiędzy drenami tranzystorów bistabilnej pary części nadrzędnej włączony jest, drenem i źródłem, tranzystor równoważący części nadrzędnej, którego bramka dołączona jest do wyjścia pierwszego inwertera, natomiast bramka tranzystora zezwalającego części nadrzędnej dołączona jest do wyjścia pierwszego inwertera poprzez drugi inwerter i trzeci inwerter – połączone szeregowo. Ponadto, w przerzutniku tym pomiędzy drenami tranzystorów bistabilnej pary części podrzędnej włączony jest układ spowalniający, przy czym układ spowalniający zawiera szeregowe połączenie pierwszego kondensatora spowalniającego części podrzędnej, tranzystora spowalniającego części podrzędnej oraz drugiego kondensatora spowalniającego części podrzędnej, jak również zawiera rezystor spowalniający części podrzędnej włączony pomiędzy masą układu a drenem albo źródłem tranzystora spowalniającego części podrzędnej, natomiast bramka tranzystora spowalniającego części podrzędnej dołączona jest do wejścia sterowania spowalnianiem części podrzędnej. Oprócz tego, wejścia dynamicznego sterowania pierwszego przerzutnika i wejścia dynamicznego sterowania drugiego przerzutnika oraz wejście sterowania spowalnianiem części podrzędnej pierwszego przerzutnika i wejście sterowania spowalnianiem części podrzędnej drugiego przerzutnika dołączone są do wyjść układu kompensacji i regulacji, natomiast generator metastabilnościowych interwałów czasowych posiada dwa wejścia regulacji szybkości wyjść generatora dołączone do wejść układu kompensacji i regulacji.

Efektami technicznymi możliwości sterowania pracą przynajmniej jednego przerzutnika jest możliwość dopasowania działania, a w szczególności zrównoważenia, jednego przerzutnika względem drugiego przerzutnika. Kompensacja pozwala na wyrównanie statystycznych właściwości generowanych interwałów czasowych, jednak pozwala także na dopasowywanie względem układu dołączanego do wyjść generatora. Efektami technicznymi zastosowania sterowania tranzystorami obciążenia dynamicznego są: po pierwsze możliwości kompensacji rozrzutów technologicznych w celu symetryzacji działania układu, po drugie zmiana położenia (w czasie) i poszerzenie okna metastabilności układu, po trzecie możliwość ustalenia i regulacji czasu regeneracji przerzutnika, po czwarte możliwość kompensacji wpływu zmian parametrów elektrycznych elementów przerzutnika będących wynikiem starzenia się, pracy mechanicznej układu lub oddziaływania czynników środowiskowych oraz po szóste możliwość regulacji pobieranej przez przerzutnik mocy. Dzięki dołączeniu wejść i wyjść generatora metastabilnościowych interwałów czasowych do układu kompensacji i regulacji, układ ten może analizować odpowiedzi przerzutnika w stosunku do konkretnych sygnałów pojawiających się na wejściach generatora podczas jego normalnej pracy, jak również może przeprowadzić kalibrację/kompensację przerzutnika zadając własne sygnały na jego wejściach i analizując odpowiedzi na wyjściu. Efektami technicznymi odpowiedniego dołączenia bramek tranzystorów ustalających do wejść przerzutnika jest możliwość ustalenia stanu logicznego w sekcji nadrzędnej przerzutnika. Efektami technicznymi zastosowania nietypowego zasilania inwertera (w którym jego dolny biegun zasilania nie jest dołączony do masy układu) jest kluczowanie

jego pracy, dzięki czemu minimalizowana jest moc statyczna pobierana przez przerzutnik. Efektem technicznym niewyprowadzania wyjść lub wyjścia przerzutnika bezpośrednio z drenów tranzystorów bistabilnej pary części podrzędnej jest nieobciążanie tej części rozmaitymi układami dołączanymi do układu przerzutnika, dzięki czemu nie jest spowalniana praca części podrzędnej przerzutnika, co za tym idzie i całego układu przerzutnika. Efektem technicznym takiej konstrukcji układu wyjściowego jest zmniejszenie spoczynkowego poboru mocy, możliwość dopasowania (zbliżenia) czasów ustalania stanu wysokiego i niskiego oraz uzyskanie w stanie ustalonym napięcia wyjściowego zbliżonego do napięcia zasilającego przerzutnika. Efektem technicznym dołączenia tranzystora pomiędzy drenami tranzystorów bistabilnej pary nadrzędnej części przerzutnika jest przyspieszenie wyjścia tej części z fazy autonomicznej, natomiast wprowadzenie dodatkowych dwóch inwerterów w tor sterowania tranzystorem zezwalającym części nadrzędnej wprowadza dodatkowe opóźnienie dla sygnału bramki tego tranzystora. Efektem technicznym zastosowania układu spowalniającego jest możliwość spowolnienia pracy danego stopnia, aby celowo wydłużyć czas rozwiązania fazy autonomicznej, a zatem i wpływ szumów na tę fazę, dzięki czemu zwiększeniu ulega wartość oczekiwana czasu odpowiedzi ale także jego odchylenie standardowe.

Korzystnie, wszystkie tranzystory w układzie są tranzystorami TFT FET typu „n”, o kanałach wykonanych z amorficznego materiału półprzewodnikowego i zawierają indowo-galowy tlenek cynku. Zastosowanie jednego typu tranzystorów polowych FET z izolowaną bramką upraszcza proces technologiczny realizacji układu i umożliwia wykonanie układu w procesach technologicznych o ograniczonych możliwościach, w szczególności pozwalających na implementację na tranzystorach o jednym typie przewodnictwa (niekomplementarnych). Zastosowanie tranzystorów cienkowarstwowych TFT pozwala na wykonanie taniego i/lub giętkiego układu scalonego. Zastosowanie amorficznego materiału półprzewodnikowego zapewnia niski koszt wytwarzania tranzystorów (w relatywnie niskich temperaturach). Zastosowanie indowo-galowego tlenku cynku (IGZO) zapewnia relatywnie wysoki parametr mobilności nośników.

Korzystnie, w przerzutnikach wymiary charakterystyczne tranzystorów użytych do budowy są zasadniczo wymiarami minimalnymi dla zastosowanego procesu technologicznego, w szczególności stosunek szerokości do długości kanałów tranzystorów W/L wynosi od 3 do 9, za wyjątkiem: tranzystorów obciążenia dynamicznego, w których stosunek W/L wynosi od 1/9 do 1/3, tranzystorów wyjściowych, w których stosunek W/L wynosi od 5 do 50, przy czym wartość rezystora wyjściowego zawiera się w przedziale od 3 do 30 megaomów, wartość rezystora spowalniającego zawiera się w przedziale od 10 do 100 megaomów, a wartości kondensatorów spowalniających zawierają się w zakresie od 5 do 50 femtofaradów. Dzięki zastosowaniu małych rozmiarów tranzystorów, układ przerzutnika zajmuje mniej miejsca, przez co jest tańszy w produkcji. Zastosowanie małego stosunku W/L dla tranzystorów obciążenia dynamicznego zapewnia odpowiednio małą maksymalną konduktywność kanałów tych tranzystorów. Zastosowanie dużego stosunku W/L dla tranzystorów wyjściowych, w szczególności W/L odpowiedniego dla przewidywanego obciążenia przerzutnika, zapewnia zwiększoną wydajność prądową dla wysterowania wejść układów podłączonych do przerzutnika, natomiast wartości rezystancji wyjściowej bliższe dolnej granicy zapewniają szybsze ustalenie napięcia wyjściowego przy jednoczesnym wzroście pobieranej mocy układu. Dodanie odpowiednio dużej rezystancji dla rezystora spowalniającego powoduje ustalenie napięcia stałego wymuszającego polaryzację tranzystora spowalniającego i podział ładunków kondensatorów spowalniających w stanie ustalonym, natomiast zastosowanie wartości kondensatorów z zadanego przedziału zapewnia odpowiednie wydłużenie czasu rozwiązania fazy autonomicznej.

Przykład wykonania został uwidoczniiony na rysunku, na którym fig. 1 przedstawia schemat ideowy generatora metastabilnościowych interwałów czasowych, a fig. 2 – schemat ideowy przerzutnika.

Generator metastabilnościowych interwałów czasowych w przykładzie wykonania przedstawionym na fig. 1 posiada następujące zaciski: pierwsze **i1-GMIC** i drugie **i2-GMIC** wejście, pierwsze **o1-GMIC** i drugie **o2-GMIC** wyjście generatora metastabilnościowych interwałów czasowych oraz wejście regulacji szybkości pierwszego wyjścia generatora metastabilnościowych interwałów czasowych **RSa** i wejście regulacji szybkości drugiego wyjścia generatora metastabilnościowych interwałów czasowych **RSb**. Generator metastabilnościowych interwałów czasowych **GMIC** zawiera: pierwszy przerzutnik **P1**, drugi przerzutnik **P2** oraz układ kompensacji i regulacji **UKR**. Pierwszy przerzutnik **P1** posiada: pierwsze **D1** i drugie **C1** wejście pierwszego przerzutnika, wyjście **Q1** pierwszego przerzutnika, pierwsze **lo1M1** i drugie **lo2M1** wejście dynamicznego sterowania części nadrzędnej pierwszego przerzutnika, pierwsze **lo1S1** i drugie **lo2S1** wejście dynamicznego sterowania części podrzędnej pierwszego przerzutnika oraz wejście sterowania spowalnianiem części podrzędnej pierwszego przerzutnika **IsS1**. Drugi przerzutnik **P2** posiada: pierwsze **D2** i drugie **C2** wejście drugiego przerzutnika, wyjście **Q2** drugiego przerzutnika, pierwsze **lo1M2** i drugie **lo2M2** wejście dynamicznego sterowania części nadrzędnej drugiego przerzutnika, pierwsze **lo1S2** i drugie **lo2S2** wejście dynamicznego sterowania części podrzędnej drugiego przerzutnika oraz wejście sterowania spowalnianiem części podrzędnej drugiego przerzutnika **IsS2**. Układ kompensacji i regulacji **UKR** posiada wiele wejść i wyjść analogowych i cyfrowych z możliwością ich multipleksowania.

Pierwsze wejście generatora metastabilnościowych interwałów czasowych **i1-GMIC** dołączone jest jednocześnie do pierwszego wejścia pierwszego przerzutnika **D1**, pierwszego wejścia drugiego przerzutnika **D2** oraz do układu kompensacji i regulacji **UKR**. Drugie wejście generatora metastabilnościowych interwałów czasowych **i2-GMIC** dołączone jest jednocześnie do drugiego wejścia pierwszego przerzutnika **C1**, drugiego wejścia drugiego przerzutnika **C2** oraz do układu kompensacji i regulacji **UKR**. Wejścia generatora metastabilnościowych interwałów czasowych **i1-GMIC** i **i2-GMIC** dołączone są do odrębnych końcówek układu kompensacji i regulacji **UKR** o charakterze cyfrowych wejść, które jednak dla procesu kalibracji generatora mogą przyjąć funkcję cyfrowych wyjść. Każde (pierwsze i drugie) wejście dynamicznego sterowania części nadrzędnej i podrzędnej pierwszego i drugiego przerzutnika **lo1M1**, **lo2M1**, **lo1S1**, **lo2S1**, **lo1M2**, **lo2M2**, **lo1S2** i **lo2S2** oraz każde wejście sterowania spowalnianiem części podrzędnej pierwszego i drugiego przerzutnika **IsS1** i **IsS2** dołączone jest do odrębnego analogowego wyjścia układu kompensacji i regulacji **UKR**. Wyjście pierwszego przerzutnika **Q1** dołączone jest jednocześnie do pierwszego wyjścia generatora metastabilnościowych interwałów czasowych **o1-GMIC** oraz do odrębnego cyfrowego wejścia układu kompensacji i regulacji **UKR**, a wyjście drugiego przerzutnika **Q2** dołączone jest jednocześnie do drugiego wyjścia generatora metastabilnościowych interwałów czasowych **o2-GMIC** oraz do odrębnego cyfrowego wejścia układu kompensacji i regulacji **UKR**. Wejścia regulacji szybkości wyjść generatora metastabilnościowych interwałów czasowych **RSa** i **RSb** dołączone są do odrębnych wejść układu kompensacji i regulacji **UKR**.

Dostarczenie do przerzutników **P1** i **P2** generatora metastabilnościowych interwałów sygnałów cyfrowych o względnie niedużych przesunięciach czasu pomiędzy zboczami dostarczonymi do wejść przerzutników, wywołuje w nich stany metastabilne, których rozwiązaniem są wartości logiczne pojawiające się na wyjściach **Q1** i **Q2** w różnych momentach czasu. Zarówno wartości

logiczne jak i interwały czasowe są źródłami losowości o określonych właściwościach tych losowości.

W związku z tym, iż u podstawy budowy generatora metastabilnościowych interwałów czasowych **GMIC** leżą dwa przerzutniki **P1** i **P2** otrzymujące identyczne sygnały z wejść generatora **i1-GMIC** i **i2-GMIC** zasadnicza istota działania układu jest zdeterminowana zasadą działania pojedynczego przerzutnika. W przypadku standardowych przerzutników, dla ich prawidłowej pracy, należy przestrzegać parametrów w postaci: czasu ustalania oraz czasu podtrzymania, które mówią o minimalnej czasowej separacji zboczy na wejściach przerzutnika – to znaczy, zmiana stanu na wejściu pierwszym **D1** i **D2** musi się odbywać z odpowiednim wyprzedzeniem w stosunku do narastającego zbocza na wejściu drugim **C1** i **C2** oraz dane muszą być utrzymywane na wejściu pierwszym jeszcze przez odpowiednio długi czas po wystąpieniu narastającego zbocza na wejściu drugim. W przypadku generatora **GMIC** celowo przekracza się te czasy, dostarczając względne nieduże przesunięcia pomiędzy zboczami dostarczonymi do wejść przerzutników. Wraz ze zbliżaniem zboczy rosną czasy wpisywania wartości do przerzutników **P1** i **P2**, które to czasy mają niesymetryczne rozkłady statystyczne. Generator **GMIC** wprowadza się w ten sposób w pracę w odpowiednim obszarze metastabilności, lecz nie w bezpośrednio sąsiedztwo metastabilnego punktu równowagi, gdyż czasy odpowiedzi mogłyby być bardzo długie, a stan wyjściowy losowy (skutkujący zatem czasami brakiem zmiany stanu na wyjściu przerzutnika). Generator **GMIC** generuje zatem na wyjściach **o1-GMIC** i **o2-GMIC** dwa sygnały będące wynikiem wyjścia przerzutników ze stanów metastabilnych, a przy założeniu identyczności przerzutników (zatem i ich okien metastabilności), mimo silnie niesymetrycznych rozkładów interwałów na **Q1** i **Q2**, pojedynczy interwał jednego przerzutnika **P1** względem interwału drugiego przerzutnika **P2** jest większy z prawdopodobieństwem 0,5. Dzięki temu, statystyczne właściwości liczb binarnych generowanych jako na przykład znak różnicy dwóch interwałów czasowych pochodzących z dwóch przerzutników mogą być lepsze od właściwości statystycznych pojedynczych interwałów lub stanów logicznych pojedynczych przerzutników w układach metastabilnościowych.

Przerzutnik w przykładzie wykonania przedstawionym na fig. 2 posiada następujące zaciski: zasilania **Zas** i masy **Gnd** układu, pierwsze **D** i drugie **C** wejście przerzutnika, wyjście przerzutnika **Q**, pierwsze **Io1M** i drugie **Io2M** wejście dynamicznego sterowania części nadrzędnej przerzutnika, pierwsze **Io1S** i drugie **Io2S** wejście dynamicznego sterowania części podrzędnej przerzutnika oraz wejście sterowania spowalnianiem części podrzędnej **IsS**. Przerzutnik **P** zawiera pierwszy **Tb1M** i drugi **Tb2M** tranzystor bistabilnej pary części nadrzędnej, pierwszy **Tb1S** i drugi **Tb2S** tranzystor bistabilnej pary części podrzędnej, pierwszy **Tu1M** i drugi **Tu2M** tranzystor ustalający części nadrzędnej, pierwszy **Tu1S** i drugi **Tu2S** tranzystor ustalający części podrzędnej, tranzystor zezwalający części nadrzędnej **TzM** i tranzystor zezwalający części podrzędnej **TzS**, pierwszy **To1M** i drugi **To2M** tranzystor obciążenia dynamicznego części nadrzędnej, pierwszy **To1S** i drugi **To2S** tranzystor obciążenia dynamicznego części podrzędnej, pierwszy **Tw1** i drugi **Tw2** tranzystor wyjściowy, rezystor wyjściowy **Rw**, inwerter kluczowany **Nk**, pierwszy **N1**, drugi **N2** i trzeci **N3** inwerter, tranzystor równoważący części nadrzędnej **TrM**, pierwszy **Cs1S** i drugi **Cs2S** kondensator spowalniający części podrzędnej oraz tranzystor **TsS** i rezystor **RsS** spowalniający części podrzędnej.

Tranzystory bistabilnej pary części nadrzędnej (stopnia typu Master) **Tb1M** i **Tb2M**, jak i części podrzędnej (stopnia typu Slave) **Tb1S** i **Tb2S**, połączone są ze sobą źródłami i dołączone do masy układu **Gnd**. Bramki tranzystorów w bistabilnych parach są dołączone do drenów komplementarnych tranzystorów w parze **Tb1M** i **Tb2M** oraz w parze **Tb1S** i **Tb2S**. Dreny czterech tranzystorów bistabilnych par **Tb1M**, **Tb2M**, **Tb1S** i **Tb2S** dołączone są kolejno do zasilania układu

Zas poprzez cztery tranzystory obciążenia dynamicznego **To1M**, **To2M**, **To1S** i **To2S**, których bramki dołączone są kolejno do czterech wejść dynamicznego sterowania przerzutnikiem **Io1M**, **Io2M**, **Io1S** i **Io2S**. Do bramek tranzystorów bistabilnych par **Tb1M** i **Tb2M** oraz **Tb1S** i **Tb2S** dołączone są także dreny tranzystorów ustalających **Tu1M** i **Tu2M** oraz **Tu1S** i **Tu2S**, lecz w kolejności odwrotnej i niezależnie w każdym stopniu przerzutnika: dren tranzystora **Tu1M** dołączony jest do bramki tranzystora **Tb2M**, dren **Tu2M** do bramki **Tb1M**, dren **Tu1S** do bramki **Tb2S**, a dren **Tu2S** do bramki **Tu1S**. Tranzystory ustalające w parach **Tu1M** i **Tu2M** oraz **Tu1S** i **Tu2S** są połączone ze sobą źródłami, a połączone źródła są dołączone do drenów tranzystorów zezwalających **TzM** i **TzS** niezależnie w każdym stopniu przerzutnika: źródła tranzystorów ustalających części nadrzędnej **Tu1M** i **Tu2M** dołączone są do drenu tranzystora zezwalającego części nadrzędnej **TzM**, a źródła tranzystorów ustalających części podrzędnej **Tu1S** i **Tu2S** dołączone są do drenu tranzystora zezwalającego części podrzędnej **TzS**. Źródła tranzystorów zezwalających **TzM** i **TzS** dołączone są do masy układu **Gnd**. Bramki tranzystorów ustalających części podrzędnej **Tu1S** i **Tu2S** dołączone są w odwrotnej kolejności do drenów tranzystorów bistabilnej pary części nadrzędnej **Tb2M** i **Tb1M**: bramka **Tu1S** do drenu **Tb2M**, a bramka **Tu2S** do drenu **Tb1M**. Natomiast bramki tranzystorów ustalających części nadrzędnej **Tu1M** i **Tu2M** dołączone są do pierwszego wejścia przerzutnika **D** tak, że: bramka **Tu2M** dołączona jest bezpośrednio do wejścia **D**, a bramka **Tu1M** dołączona jest do tego wejścia poprzez inwerter kluczowany **Nk**. Inwerter ten **Nk** posiada dolny biegun zasilania dołączony do drenu tranzystora zezwalającego części nadrzędnej **TzM**. Do drenów tranzystorów bistabilnej pary części podrzędnej **Tb1S** i **Tb2S** dołączone są także bramki tranzystorów wyjściowych **Tw1** i **Tw2**, które są włączone szeregowo pomiędzy zasilanie układu **Zas** a masę układu **Gnd** oraz z pomiędzy których wyprowadzono wyjście przerzutnika **Q**: bramka **Tw1** dołączona jest do drenu **Tb2S**, bramka **Tw2** do drenu **Tb1S**, dren **Tw1** do **Zas**, źródło **Tw1** do drenu **Tw2**, źródło **Tw2** do **Gnd**, a wyjście **Q** jest jednocześnie dołączone do drenu **Tw2** i źródła **Tw1**. Dodatkowo między zaciskiem zasilania układu **Zas** a wyjściem przerzutnika **Q** dołączony jest rezystor wyjściowy **Rw**.

Pomiędzy drenami tranzystorów bistabilnej pary części nadrzędnej **Tb1M** i **Tb2M** dołączony jest, swoim drenem i źródłem, tranzystor równoważący części nadrzędnej **TrM**, a pomiędzy drenami tranzystorów bistabilnej pary części podrzędnej **Tb1S** i **Tb2S** dołączony jest szereg złożony z pierwszego kondensatora spowalniającego części podrzędnej **Cs1S**, tranzystora spowalniającego części podrzędnej **TsS** i drugiego kondensatora spowalniającego części podrzędnej **Cs2S**. Pomiędzy źródłem tranzystora spowalniającego części podrzędnej **TsS** i masą układu **Gnd** dołączony jest rezystor spowalniający części podrzędnej **RsS**. Bramka tranzystora spowalniającego części podrzędnej **TsS** dołączona jest do wejścia sterowania spowalnianiem części podrzędnej **IsS**. Do drugiego wejścia przerzutnika **C** dołączony jest szereg trzech inwerterów **N1**, **N2** i **N3**, a także dołączona jest bramka tranzystora zezwalającego części podrzędnej **TzS**. Do wyjścia pierwszego inwertera **N1** dołączona jest bramka tranzystora równoważającego części nadrzędnej **TrM**, a do wyjścia trzeciego inwertera **N3** dołączona jest bramka tranzystora zezwalającego części nadrzędnej **TzM**.

Zasada działania przerzutnika opiera się o dwie dwustopniowe sekcje (odpowiednio nadrzędną i podrzędną) złożone odpowiednio z par tranzystorów **Tb1M** i **Tb2M** oraz **Tb1S** i **Tb2S** objęte pętlą dodatniego sprzężenia zwrotnego. Pary te, z racji występowania dodatniego sprzężenia zwrotnego posiadają dwa stany stabilne. Oznacza to, że wymuszenie określonego potencjału odpowiadającego zeru (potencjał zbliżony do potencjału na **Gnd**) lub jedynce logicznej (potencjał zbliżony do potencjału na **Zas**) na drenie tranzystorów **Tb1M** lub **Tb1S**, doprowadzi do wymuszenia stanu przeciwnego na drenie tranzystora **Tb2M** lub **Tb2S**. Na przykład, wymuszenie napięcia zbliżonego do potencjału na **Zas** na drenie **Tb1M** lub **Tb1S** wymusza jednocześnie ten sam potencjał

na bramkach **Tb2M** lub **Tb2S**. To z kolei prowadzi do zmiany zakresu pracy tranzystorów **Tb2M** lub **Tb2S** z odcięcia na triodowy, co z kolei powoduje ustalenie niskiego potencjału na drenie **Tb2M** lub **Tb2S** i tym samym bramce **Tb1M** lub **Tb1S**, co powoduje wywołanie odcięcia w **Tb1M** lub **Tb1S**. Prowadzi to do podtrzymania stanu sekcji, tj. poziomu napięcia zbliżonego do napięcia zasilania na drenach tranzystorów **Tb1M** lub **Tb1S**, nawet po zaprzestaniu wymuszania określonego potencjału na drenie tranzystorów **Tb1M** lub **Tb1S**.

Stan logiczny sekcji podrzędnej (na drenach **Tb1S** i **Tb2S**) uzależniony jest od stanu logicznego sekcji nadrzędnej (na drenach **Tb1M** i **Tb2M**), gdyż tranzystory ustalające **Tu2S** oraz **Tu1S** wymuszają potencjały (stany logiczne) na drenach odpowiednio **Tb2S** i **Tb1S**, zgodne ze stanami (potencjałami) na bramkach odpowiednio **Tb2M** i **Tb1M**. Powiązanie stanów logicznych między drenami **Tb1S** i **Tb2S** oraz **Tb1M** i **Tb2M** następuje w przez wymuszenie potencjałów na bramkach tranzystorów **Tu2S** oraz **Tu1S**, pod warunkiem wystąpienia napięcia zbliżonego do napięcia na **Zas** na wejściu **C** przerzutnika, które z kolei wymusza polaryzację tranzystora zezwalającego **TzS** w zakresie triodowym. Natomiast stan logiczny części nadrzędnej (rozumiany przez poziomy napięcie na drenach tranzystorów **Tb1M** i **Tb2M**) wymuszany jest przez tranzystory ustalające **Tu1M** i **Tu2M**. Po ustaniu wymuszenia stanu logicznego na drenach **Tb1M** i **Tb2M** przez **Tu1M** i **Tu2M** nie dochodzi do zaniku uprzednio wymuszonego stanu, gdyż para bistabilna **Tb1M** i **Tb2M** objęta jest dodatnim sprzężeniem zwrotnym i samoregeneracyjnie podtrzymuje uprzednio ustalony stan. Ustanie wymuszenia przez **Tu1M** i **Tu2M** następuje w wyniku podania potencjału zbliżonego do napięcia zasilania na wejściu **C** przerzutnika. Sygnał na wejściu **C** przerzutnika jest negowany, co wymusza potencjał zbliżony do **Gnd** na bramce tranzystora **TzM**, co z kolei wprowadza tranzystory wymuszające **Tu2M** oraz **Tu1M** w zakres odcięcia. Tranzystory ustalające w części nadrzędnej sterowane są naprzemiennie przez inwerter **Nk**. Oznacza to, że (pod warunkiem wystąpienia niskiego stanu logicznego na wejściu **C**) tylko jeden z tranzystorów, tj. **Tu1M** albo **Tu2M**, znajduje się w stanie triodowym (a drugi w stanie odcięcia) i tym samym ustalane są poziomy logiczne na drenach nadrzędnej pary bistabilnej.

Wpisywanie stanów logicznych do sekcji bistabilnych odbywa się dwustopniowo. W pierwszej kolejności niski stan na wejściu **C** aktywuje możliwość wpisywania stanu logicznego z wejścia **D** do bistabilnej pary nadrzędnej, poprzez ustalenie poziomu logicznego na drenie **Tb1M** poprzez tranzystor ustalający **Tu1M** oraz przeciwnego stanu logicznego drenu **Tb2M** przy pomocy tranzystora ustalającego **Tu2M**, którego stan z wejścia **D** ulega negacji. W drugiej kolejności, tj. gdy stan logiczny na **C** odpowiada jedynce logicznej (tj. napięcie na wejściu **C** zbliżone jest do napięcia na **Zas**), aktywowanie tranzystorów ustalających podrzędnej pary bistabilnej, tj. **Tu2S** oraz **Tu1S**, wymusza stan logiczny tej pary, taki sam jaki występował w sekcji nadrzędnej, gdy na wejściu **C** podany był stan niski. Zatem cykl wpisywania danych do przerzutnika wymaga wystąpienia zmiany na wejściu **C** z potencjału zbliżonego do potencjału na **Gnd** do potencjału zbliżonego do potencjału na **Zas**. Tranzystory **Tu1M** i **Tu2M** ustalające stan logiczny nadrzędnej sekcji bistabilnej (**Tb1M** i **Tb2M**) nie mogą jednocześnie wymuszać tego samego napięcia (tj. stanu zera logicznego) na drenach obydwu tranzystorów **Tb1M** i **Tb2M**, lecz przeciwne stany logiczne. Negację stanów sterujących bramkami tranzystorów ustalających **Tu1M** i **Tu2M** realizować może zwyczajny inwerter. Jednak ponieważ inwerter ten pracuje tylko w momencie wpisywania informacji (stanu logicznego) do nadrzędnej sekcji bistabilnej (tj. gdy na wejściu **C** panuje stan niski), a nie jest wykorzystywany w procesie przepisywania stanu logicznego z sekcji nadrzędnej do podrzędnej (gdy na wejściu **C** panuje stan jedynki logicznej), to jest to etap, w którym można zrealizować oszczędzanie mocy poprzez

kluczowanie zasilania zanegowanym sygnałem z wejścia **C**. Zrealizowano to przez odłączenie dolnego bieguna zasilania inwertera **Nk** od masy układu i dołączenia go do drenu tranzystora **TzM**.

Stan wyjściowy przerzutnika ma charakter różnicowy, a określają go potencjały drenów tranzystorów sekcji podrzędnej **Tb1S** i **Tb2S**. Poprzez zastosowanie układu push-pull zrealizowanego na tranzystorach **Tw1** oraz **Tw2** dokonywana jest desymetryzacja wyjścia przerzutnika. Ustalanie stanu wysokiego na wyjściu **Q** zapewnione jest przez Tranzystor **Tw1**, który wchodzi w zakres triodowy, gdy na drenie tranzystora **Tb2S** panuje stan wysoki (napięcie zbliżone do potencjału na **Zas**). Stan wysoki na drenie **Tb2S** oznacza jednocześnie występowanie stanu niskiego na drenie tranzystora **Tb1S**, co z kolei wprowadza tranzystor **Tw2** w zakres odcięcia. W tej sytuacji potencjał wyjścia podciągany jest przez źródło **Tw1** do poziomu potencjału **Zas** pomniejszonego o napięcie progowe tranzystora **Tw1**. Z kolei stan niski na drenie **Tb2S**, a tym samym stan wysoki na drenie **Tb1S**, wprowadza tranzystor **Tw1** w zakres odcięcia, zaś tranzystor **Tw2** w zakres triodowy. W tej sytuacji na wyjściu **Q** występuje niskie napięcie, czyli zero logiczne. Z racji pomniejszenia napięcia odpowiadającego jedynie logicznej na wyjściu **Q** o napięcie progowe tranzystora **Tw1**, zastosowano rezystor **Rw**, którego zadaniem jest uzyskanie asymptotycznie zbieżnego napięcia odpowiadającego potencjałowi na **Zas**, gdy tranzystor **Tw1** znajduje się w zakresie triodowym (czyli dla jedynki logicznej na wyjściu). Zastosowanie układu wyjściowego, czyli niewyprowadzanie wyjść lub wyjścia przerzutnika bezpośrednio z drenów tranzystorów bistabilnej pary części podrzędnej, pozwala na nieobciążanie tej części różnymi układami dotaczanymi do przerzutnika. Zamiast tego, pojemnościowe obciążenie drenów tranzystorów drugiego stopnia **Tb1S** i **Tb2S** jest stałe i zależy od geometrii tranzystorów wyjściowych **Tw1** i **Tw2**. Geometria tranzystorów wyjściowych, a co za tym idzie ich wydajność prądowa, może być dobrana odpowiednio do obciążenia na etapie projektowana przerzutnika. Dzięki temu nie jest spowalniana praca części podrzędnej przerzutnika, co za tym idzie i całego układu przerzutnika. Ponadto, zastosowanie dwóch tranzystorów (zamiast inwertera lub inwerterów RTL) zapewnia zmniejszenie spoczynkowego poboru mocy. Natomiast, dobranie odpowiedniej rezystancji **Rw** daje możliwość dopasowania (zbliżenia) czasów ustalania stanu wysokiego i niskiego oraz uzyskanie w stanie ustalonym napięcia wyjściowego zbliżonego do napięcia zasilającego na **Zas**.

Przeznaczenie przerzutnika wymaga powstawania widocznych opóźnień (losowych interwałów) na jego wyjściu, jednak niewpływających na docelową wartość logiczną wyjścia. Oznacza to, że przerzutnik powinien mieć zapewnioną znaczną szybkość wpisywania danych (stanu) do sekcji nadrzędnej przy możliwie dużym spowolnieniu wyjścia z fazy autonomicznej (przełączenia stanu) w sekcji podrzędnej. Zmiana stanu logicznego sekcji bistabilnych, tj. **Tb1M** i **Tb2M** oraz **Tb1S** i **Tb2S**, wymaga zmiany stanu logicznego na komplementarny na drenach tych tranzystorów. Oznacza to zmianę napięcia od potencjału zbliżonego do potencjału na **Gnd** do potencjału na **Zas** (lub odwrotnie). Wiąże się to nieuchronnie z przeładowaniem pojemności wewnętrznych tranzystorów par bistabilnych. Ładunek wymagający przetransportowania z/do bramek tranzystorów jest wprost proporcjonalny do pojemności bramkowych i zmiany napięcia na tych pojemnościach. Im mniejszy jest ten ładunek, tym krótszy jest czas przełączania pary bistabilnej między stanami wysokim/niskim, a im większy – tym dłuższy czas przełączania. Jako rozwiązanie wprowadzono do sekcji nadrzędnej element zmniejszający napięcia związane ze zmianą stanów i tym samym przyspieszono przełączanie tej sekcji bistabilnej – dołączony został tranzystor równoważący **TrM**. Dzięki linii opóźniającej złożonej z inwerterów **N1**, **N2**, **N3** ma on zapewnioną chronologię czasową sterowania względem tranzystorów ustalających sekcją nadrzędną. Tranzystor **TrM** zrównuje poziomy napięć na drenach nadrzędnej sekcji bistabilnej tuż przed pojawieniem się impulsu sterującego tranzystorami

ustalającymi stan w tej sekcji, gdyż impuls sterowania bramką **TrM** pojawia się przed impulsem sterującym bramką **TzM**. Zrównanie poziomów napięć na drenach nadrzędnej sekcji bistabilnej przyspiesza proces przetaczania (ustalania napięć).

Z kolei spowolnienie procesu przetaczania (wyjścia z fazy autonomicznej) sekcji podrzędnej zrealizowano poprzez zastosowanie szeregowo połączonych pojemności kondensatorów **Cs1S** i **Cs2S** włączonych między drenami tranzystorów podrzędnej sekcji bistabilnej. Napięcia na drenach tranzystorów sekcji podrzędnej zmieniają się w trakcie przetaczania w przeciwfazie, w związku z tym włączenie pojemności między tymi wyjściami wprowadza dodatkowo efekt Millera tzn., że pojemność włączona w taki sposób (tj. między drenem i bramką tranzystorów **Tb1S** i **Tb2S**) wymaga doprowadzenia większego ładunku, niż wynikałoby to z samej zmiany napięcia na jednej z okładek tej pojemności. Zwielokrotniona efektem Millera pojemność, utworzona z szeregowego połączenia **Cs1S** i **Cs2S**, opóźnia proces przetaczania tej sekcji, przez co wydłuża czas odpowiedzi na pobudzenie przez tranzystory ustalające **Tu2S** i **Tu1S**. Pojemności kondensatorów **Cs1S** i **Cs2S** mogą być dołączane lub rozłączane przy pomocy tranzystora spowalniającego **TsS**, w zależności od napięcia na jego bramce, tj. na wejściu sterowania spowalnianiem **IsS**. Podanie dodatniego napięcia bramka-źródło, przekraczającego napięcie progowe tranzystora **TsS**, wywołuje zjawisko inwersji w tym tranzystorze, prowadząc do utworzenia kanału łączącego obydwie kondensatory szeregowo i tym samym wprowadza spowolnienie działania podrzędnej sekcji bistabilnej. Podanie niskiego napięcia (zblizzonego do potencjału **Gnd**) na wejście **IsS** wyłącza tranzystor **TsS**, co prowadzi do odłączenia pojemności spowalniających. Aby zapewnić polaryzację źródła tranzystora **TsS** na stałym poziomie potencjału **Gnd**, zastosowano rezystor spowalniający **RsS**, co ułatwia polaryzację bramki tranzystora, ponadto ułatwia podział ładunku w pojemnościach kondensatorów **Cs1S** i **Cs2S** przez wstępną ich polaryzację.

Oprócz skrajnych przypadków sterowania wejściem **IsS** (wysokim albo niskim potencjałem) wyłączającym lub włączającym tranzystor **TsS**, można regulować potencjałem wejścia tak, aby uzyskać efekt pośredni, tj. przyspieszać albo spowalniać pracę danego stopnia, aby częściowo skrócić lub wydłużyć czas rozwiązania fazy autonomicznej, a zatem i wpływ szumu na tę fazę (poprzez dłuższy czas jego wpływu), dzięki czemu zmniejszeniu albo zwiększeniu ulega wartość oczekiwana czasu odpowiedzi, a także jego odchylenie standardowe. Potrzeba takiej regulacji może także zajść, gdy zmienia się częstotliwość wejściowych sygnałów pobudzających. Zależność napięcia na wejściu sterowania spowalnianiem względem cech statystycznych czasów rozwiązania fazy autonomicznej ma charakter nieliniowy i najczęściej musi być dobierana eksperymentalnie.

Kolejnym rozwiązaniem, stwarzającym możliwości szerokiej regulacji pracy i kompensacji uchybień jest zastosowanie tranzystorów obciążenia dynamicznego **To1M**, **To2M**, **To1S** i **To2S**, w miejscach, w których typowo stosuje się rezystory. Dzięki temu dreny tranzystorów par bistabilnych części nadrzędnej (**Tb1M**, **Tb2M**) i podrzędnej (**Tb1S**, **Tb2S**) są spolaryzowane przez obciążenia aktywne. Takie obciążenie zapewnia doptyw prądu do drenów sekcji bistabilnych poprzez rezystancję warstwy inwersyjnej dren-źródło tranzystorów obciążenia dynamicznego. Tranzystory te, pracując w zakresie triodowym, zachowują się jak regulowane konduktancje, tym większe im wyższe są napięcia przyłożone do wejść dynamicznego sterowania **Io1M**, **Io2M**, **Io1S** i **Io2S**. Im wyższe konduktancje dołączone do drenów par bistabilnych, tym większy prąd spoczynkowy i prąd przetaczania tranzystorów par bistabilnych. Aby zachować jednakową dynamikę przetaczania par bistabilnych przy zmianie stanów logicznych z wysokiego na niski i odwrotnie, prądy te, teoretycznie powinny być identyczne w poszczególnych parach bistabilnych, tj. w **Tb1M** i **Tb2M** oraz w **Tb1S** i **Tb2S**. Jednakże, fizyczne implementacje tranzystorów par bistabilnych posiadają zwykle pewne różnice w geometrii

struktury, jednorodności czy jednolitości materiału (powstałe z różnych powodów i w różnym czasie), które prowadzą do rozbieżności w konduktywności poszczególnych kanałów tranzystorów par bistabilnych. Te różnice prowadzą do różnic w pracy dynamicznej par bistabilnych, przyczyniając się do różnych parametrów metastabilnościowych przy wpisywaniu jedynki logicznej i zera logicznego na wejściu **D** przerzutnika.

Potrzeby symetryzacji działania stopni przerzutników mogą wynikać z wielu przyczyn: od potrzeby kompensacji rozrzutów technologicznych (różnic między egzemplarzowych powstałych przy produkcji), przez potrzebę kompensacji wpływu zmian postępujących z czasem (starzenia się, czy zmian wskutek mechanicznej pracy elastycznego układu), po kompensację oddziaływania czynników o charakterze przejściowym – np. środowiskowych (temperatura, napięcie zasilania) czy nawet ataków na układ (typu side-channel), które mają na celu umyślne spowodowanie nieprawidłowej pracy.

W niniejszym przykładzie wykonania obydwu przerzutniki **P1** i **P2** z fig. 1 zostały wykonane w postaci przerzutnika **P** z fig. 2, a dla odróżnienia ich wejść i wyjść wprowadzono (odpowiednio) numerację oznaczeń.

Regulację i kompensację pracy pojedynczego przerzutnika przeprowadza się zasadniczo w dwóch scenariuszach wykorzystując układ kompensacji i regulacji **UKR**. Pierwszy scenariusz zakłada doprowadzenie do wejść obydwu przerzutników **C1** i **D1** oraz **C2** i **D2** sygnałów wzorcowych o znanych i regulowanych częstotliwościach i przesunięciach fazowych. Drugi korzysta z istniejących podczas pracy przerzutnika sygnałów o przesunięciach fazowych ustalonych w układzie dla pracy tego przerzutnika. W pierwszym przypadku można zbadać przerzutniki **P1** i **P2** w szerokim zakresie i skompensować je do parametrów wzorcowych (wzorcowanie przerzutnika). Natomiast w drugim przypadku można kompensować i regulować pracą przerzutników w trakcie ich normalnego działania oraz w dodatku poprawiać ich pracę względem układu/układów, z którymi przerzutnik aktualnie współpracuje. Szczególnym efektem jest możliwość dopasowania działania przerzutnika do układu dostarczającego na wejścia przerzutnika sygnały nieznacznie przesunięte w dziedzinie czasu, zatem także korekcję (w pewnym zakresie) wpływu zachodzących w czasie zmian lub wad układu poprzedzającego. W obydwu przypadkach w stosunku do szeregu zdarzeń polegających na wpisywaniu wartości do przerzutnika, rejestruje się wartości wpisane do przerzutnika (pojawiające się na wyjściu przerzutnika **Q**) oraz rejestruje się czasy odpowiedzi przerzutnika. W stosunku do szeregu kilkudziesięciu ostatnich wartości binarnych wyznacza się entropię, natomiast w stosunku do szeregu kilkudziesięciu ostatnich czasów odpowiedzi wyznacza się wartość oczekiwaną. Wejście w zakres okna metastabilnej pracy przerzutnika skutkuje dłuższymi czasami odpowiedzi, a ścisłe otoczenie punktu równowagi metastabilnej przerzutnika także stanem losowym na wyjściu.

Z uwagi na najczęściej zupełnie nieznan charakter zmian i wad przerzutników, a także ich wpływ na pracę układu w czasie, regulacja i kompensacja zwykle ma charakter empiryczny (eksperymentalny). Wzorcowanie rozpoczyna się przeważnie od podania sygnałów o jednoczesnych zboczach i nominalnych (równych) wartości napięć na wejścia dynamicznego sterowania, natomiast poprawę pracy rozpoczyna się przeważnie od ustalonych uprzednio wartości napięć. Zarówno krok jak i kierunek zmian dobierany jest adaptacyjnie (np. metodą bisekcji). Podobnie, wartości wyniku kalibracji jednego egzemplarza najczęściej są różne od wyników innego egzemplarza (identycznego w założeniach układu).

Przeciwbieżne sterowanie wejść poszczególnych stopni, tj. **lo1M1** (**lo1M2**) względem **lo2M1** (**lo2M2**) oraz **lo1S1** (**lo1S2**) względem **lo2S1** (**lo2S2**), pozwala na kompensację rozbieżności parametrów pracy poszczególnych tranzystorów par bistabilnych – dla sekcji nadrzędnej przyczynia

się do uzyskania jednakowych parametrów przerzutnika przy zapisie zarówno zera jak i jedynki logicznej, a dla sekcji podrzędnej identycznych czasów odpowiedzi przy wpisywaniu jedynki i zera. Celem jest zrównanie szerokości okiem metastabilności przy wpisywaniu do przerzutnika zera jak i jedynki. Szerokość okna metastabilności określana jest przez podwyższone wartości oczekiwane czasów odpowiedzi. Regulację przeprowadza się iteracyjnie w stosunku do aktualnych nastawów napięć poszukując poprawy lub zrównoważenia pracy przerzutnika.

Natomiast przeciwne sterowanie całych stopni, tj. **Io1M1** i **Io2M1** (**Io1M2** i **Io2M2**) względem **Io1S1** i **Io2S1** (**Io1S2** i **Io2S2**), pozwala na regulację szybkości pierwszego stopnia wybranego przerzutnika względem szybkości drugiego stopnia. Zapewnia to możliwość regulacji czasu ustalania kosztem czasu regeneracji przerzutnika. Wartość czasu ustalania mówi o tym, o ile zmiana sygnału wejściowego na **D1** (**D2**) musi wyprzedzać aktywne zbocze na wejściu **C1** (**C2**), natomiast czas regeneracji stanowi o czasie niezbędnym przygotowania przerzutnika do wczytania kolejnego stanu. Przy długim czasie ustalania łatwiej uzyskać pracę metastabilną przerzutnika, natomiast przeciwnie, krótki czas ogranicza szerokość okna metastabilnościowego. Przy długim czasie regeneracji kolejne zdarzenia metastabilne mogą wynikać z niezakończenia poprzedzającego zdarzenia fazy przelotu, natomiast krótki czas regeneracji zapewnia powtarzalną pracę układu z wyższą częstotliwością. Korzystnym efektem wydłużenia czasu ustalania jest zwiększenie wpływu szumu napięciowego na szum fazowy, przez co czas odpowiedzi przerzutnika na pobudzenie staje się coraz mniej deterministyczny.

Współbieżne sterowanie czterema wejściami **Io1M1**, **Io2M1**, **Io1S1** i **Io2S1** (**Io1M2**, **Io2M2**, **Io1S2** i **Io2S2**) pozwala na regulację szybkości bistabilnych sekcji nadrzędnej i podrzędnej, poprzez regulację prądu spoczynkowego tranzystorów obu bistabilnych par wybranego przerzutnika. Prąd ten decyduje o szybkości przetądowania wewnętrznych pojemności bramkowych tych tranzystorów. W związku z tym jednoczesny wzrost napięć na wejściach dynamicznego sterowania prowadzi do wzrostu szybkości przetądowania (pracy dynamicznej) obu sekcji bistabilnych, przy wzroście średniej pobieranej mocy. Odpowiednio spadek tych napięć spowalnia dynamikę całego przerzutnika i zmniejsza moc pobieraną przez cały układ. Poprzez regulację szybkości obydwu stopni osiąga się także poszerzenie lub zwężenie okna metastabilności (im szybszy przerzutnik tym węższe jego okno), natomiast regulacja w ramach poszczególnych sekcji pozwala na zmianę położenia okna metastabilności w czasie. W związku z tym, najbardziej podstawowa, możliwa do wykorzystania w trakcie normalnej pracy układu, jest regulacja szybkości pierwszego przerzutnika **P1** względem szybkości drugiego przerzutnika **P2** poprzez współbieżną zmianę napięć na **Io1M1**, **Io2M1**, **Io1S1** i **Io2S1** względem współbieżnej zmiany napięć na **Io1M2**, **Io2M2**, **Io1S2** i **Io2S2**. Do oceny skuteczności zrównoważenia szczególnie pomocne jest wyliczenie wartości średnich z kilkunastu albo kilkudziesięciu ostatnich czasów odpowiedzi obydwu przerzutników. W stosunku do każdego egzemplarza układu określa się procentowy próg niezrównoważenia, od którego należy powrócić do procesu równoważenia przerzutników. Alternatywnie, do wejść generatora **i1-GMIC**, **i2-GMIC** doprowadza się z układu kompensacji i regulacji **UKR** sygnały wzorcowe o znanych i regulowanych przesunięciach fazowych, co pozwala na szybką i dokładną kalibrację generatora (wzorcowanie generatora metastabilnościowych interwałów czasowych).

Współbieżna zmiana napięcia na wszystkich wejściach dynamicznego sterowania obydwu przerzutników **Io1M1**, **Io2M1**, **Io1S1**, **Io2S1**, **Io1M2**, **Io2M2**, **Io1S2** i **Io2S2** pozwala na regulację szybkości przerzutników kosztem ich mocy spoczynkowej. W szczególności można tymczasowo wyłączyć przerzutniki, jeżeli nie są one używane, doprowadzając potencjał masy układu **Gnd** do wszystkich wejść dynamicznego sterowania. Istnieje także alternatywa – dołączenie wszystkich

wejść sterowania dynamicznego **Io1M1**, **Io2M1**, **Io1S1**, **Io2S1**, **Io1M2**, **Io2M2**, **Io1S2** i **Io2S2** do zacisku **Zas** (o potencjale zasilania). W takim przypadku układ kompensacji i regulacji **UKR** staje się zbędny. Wówczas tranzystory obciążenia dynamicznego w obydwu przerzutnikach pełnią w nich rolę rezystorów, a ich wartości wynikają wprost z geometrii kanałów tranzystorów obciążenia dynamicznego (współczynników W/L tranzystorów **To1M**, **To2M**, **To1S** i **To2S** w konkretnym przerzutniku). Współczynniki te wyznaczają maksymalne wartości konduktancji (i odpowiadające im minimalne rezystancje w drenach tranzystorów par bistabilnych) – przy założeniu nie przekraczania przy sterowaniu napięć zasilania układu (potencjałów **Zas** i **Gnd**).

W przypadku braku możliwości wysterowania wejść generatora **i1-GMIC** i **i2-GMIC** zewnętrznymi sygnałami, układ kompensacji i regulacji **UKR** zapewnia te sygnały podając albo ten sam sygnał na wejścia przerzutników albo dwa sygnały niewiele względem siebie przesunięte w celu lepszej odpowiedzi metastabilnej. Regulacja szybkości pierwszego wyjścia generatora **i1-GMIC** poprzez jego wejście **RSa** mogłaby się odbywać bezpośrednio przez dołączenie tego wejścia do wejścia **IsS1**. Jednakże, ponieważ zależność napięcia na wejściu sterowania spowalnianiem **IsS1** względem cech statystycznych czasów rozwiązania fazy autonomicznej ma charakter silnie nieliniowy (który często musi być określany eksperymentalnie dla każdego egzemplarza) w sterowaniu pośredniczy układ kompensacji i regulacji **UKR**, który przekłada ogólną informację o potrzebie szybkości z wejścia **RSa** na specyficzne napięcie na **IsS1**. Analogicznie przeprowadza się sterowanie szybkością **i2-GMIC** przez wejście **RSb** poprzez **UKR** i **IsS2**.

Prostą realizacją układu kompensacji i regulacji **UKR** jest układ posiadający przetwornik cyfrowo-analogowy o wystarczającej liczbie wyjść, aby dołączyć je do każdego wejścia sterującego każdego przerzutnika oraz szybki przetwornik analogowo-cyfrowy (albo przetwornik czas-napięcie) do obserwacji wyjścia przynajmniej jednego przerzutnika. Dodatkowo w scenariuszu zakładającym doprowadzenie sygnałów wzorcowych układ musi być wyposażony w szybki regulowany generator funkcyjny o dwóch wyjściach. Sygnał analogowy z przetwornika nie musi być wzmacniany, gdyż wejścia przerzutników doprowadzone są bezpośrednio do bramek tranzystorów, co oznacza marginalne obciążenia prądowe wyjść przetwornika. Aby zapewnić odpowiednio dokładne sterowanie przerzutnikami wymagana jest rozdzielczość napięciowa przynajmniej na poziomie 10 miliwoltów w zakresie od potencjału **Gnd** do potencjału **Zas**. Rozdzielczość czasowa generatora oraz szybkość przetwornika analogowo-cyfrowego są zdeterminowane szybkością przerzutnika, które głównie zależą od procesu technologicznego użytego do jego budowy. Dla przerzutnika w zastosowanym procesie (IGZO a-TFT) wystarczyła rozdzielczość 100 ns.

Produkcja w procesach technologicznych znanych z nowoczesnych procesorów i innych układów jest zwykle nieosiągalna (np. dla niewielkich przedsiębiorstw) z uwagi na bardzo wysokie koszty licencji na oprogramowanie, koszty prototypowania, koszty przygotowania do produkcji i minimalne wolumeny produkcyjne. Natomiast, zastosowanie jednego typu tranzystorów polowych FET z izolowaną bramką (niekomplementarnych – o jednym typie przewodnictwa) upraszcza proces technologiczny realizacji układu i umożliwia wykonanie układu w procesach technologicznych o dużo mniejszych możliwościach. Tranzystory są przeważnie duże, a przez to wolne, a ich dokładność wykonania (rozrzuty technologiczne) pozostawia wiele do życzenia. Prototypowanie i produkcja są natomiast istotnie tańsze. Zastosowanie tranzystorów cienkowsarstwowych TFT pozwala na wykonanie taniego i/lub giętkiego układu scalonego. Dzięki temu, z jednej strony nabywa się możliwość dopasowania się z układem do kształtu produktu lub wykorzystania mechanicznej pracy samego układu (np. w sensorach nacisku), lecz z drugiej strony pojedyncze wygięcie i wielokrotne wyginanie wpływają na parametry podstawowych elementów elektronicznych (tranzystorów,

rezystorów i kondensatorów) i połączeń między nimi. Jest to problematyczne, gdy trzeba zapewnić precyzyjną i powtarzalną pracę takiego układu. Dodatkowo, zastosowanie w opisanych tranzystorach amorficznego materiału półprzewodnikowego, z jednej strony zapewnia niski koszt wytwarzania tranzystorów (m.in. gdyż można je wytwarzać relatywnie niskich temperaturach), lecz z drugiej strony, zmiany temperatury lub przepływ prądu zmieniają trwale parametry tego półprzewodnika. Ponadto, zastosowanie w opisanych tranzystorach indowogalowego tlenku cynku (IGZO) zapewnia relatywnie wysoki parametr mobilności nośników, co przyspiesza tranzystory i rozszerza wachlarz docelowych zastosowań układów. W niniejszym przykładzie do wykonania układu został użyty proces IGZO a-TFT, w wyniku którego powstały elastyczne (giętkie) układy scalone o grubości 20 mikrometrów. Tranzystory wykonane w tym procesie mają symetryczną budowę, więc wskazywanie drenu i źródła tych tranzystorów ma charakter jedynie porządkujący (najczęściej związany z potencjałami pracy danego tranzystora).

Zasadniczo, w wybranym procesie technologicznym stosuje się minimalne rozmiary tranzystorów wynikające z parametrów charakterystycznych procesu (w szczególności minimalne długości kanałów tranzystorów), jednak modyfikując je odpowiednio do potrzeb układowych. Minimalne rozmiary tranzystorów zapewniają minimalną powierzchnię zajmowaną przez układ, który jest oczywiście tańszy w produkcji. W przykładzie wykonania użyto dwóch wersji procesu technologicznego: w jednym wymiary charakterystyczne W/L tranzystorów wynosiły 5/0,8 mikrometra, w drugim 3/0,5 mikrometra. Wszystkie tranzystory układu w przykładzie zostały wykonane przy użyciu wymiarów charakterystycznych poza następującymi. W tranzystorach obciążenia dynamicznego **To1M**, **To2M**, **To1S** i **To2S** (znajdujących się odpowiednio w obydwu przerzutnikach **P1** i **P2**) zastosowano mały stosunek W/L wynoszący 0,2 (przy minimalnych szerokościach W kanałów wynoszących odpowiednio 5 albo 3 mikrometry), aby zapewnić odpowiednio małą maksymalną konduktywność kanałów tych tranzystorów. Z kolei w tranzystorach wyjściowych **Tw1** i **Tw2** (w obydwu **P1** i **P2**) zastosowano duży stosunek W/L wynoszący 20 (przy minimalnych długościach L kanałów wynoszących odpowiednio 0,8 albo 0,5 mikrometra), aby zapewnić zwiększoną wydajność prądową dla wysterowania układów podłączonych do przerzutnika. W tranzystorach wyjściowych należy stosować w szczególności taki współczynnik W/L, aby był odpowiedni dla przewidywanego obciążenia dołączanego do układu wyjściowego. Przy wybranym stosunku (tj. W/L = 20) wartość rezystancji rezystora **Rw** (w **P1** i **P2**) została ustalona na 10 megaomów. Mniejsze wartości rezystancji wyjściowej **Rw** zapewniają szybsze ustalanie napięcia wyjściowego przy jednoczesnym wzroście pobieranej mocy układu, a większe wartości pozwalają na oszczędność mocy kosztem szybkości. Natomiast wartość rezystancji rezystora **RsS** powinna być na tyle duża, by stała czasowa przeladowania pojemności **Cs1S** i **Cs2S** utworzona z tą rezystancją była znacznie większa od czasu przeladowania podrzędnej sekcji bistabilnej i jednocześnie znacznie mniejsza od okresu sygnału podawanego na wejście **C** przerzutnika – w przykładzie wykonania dobrano wartość **RsS** na 20 megaomów, a **Cs1S** i **Cs2S** na 20 femtofaradów każdy (dla obydwu **P1** i **P2**).

Możliwości przemysłowego zastosowania wynalazku upatruje się w wysoko specjalizowanych generatorach interwałów, w szczególności stosowanych w układach metastabilnościowych, które znajdują zastosowanie w generatorach liczb losowych.

Wykaz oznaczeń

zamieszczony w zw. z § 14 oraz Załącznikiem 1, ust. 31 Rozporządzenia Prezesa Rady Ministrów z dnia 17 września 2001 r. w sprawie dokonywania i rozpatrywania zgłoszeń wynalazków i wzorów użytkowych (Dz.U. 2001 nr 102 poz. 1119 z późn. zm.)

GMIC	generator metastabilnościowych interwałów czasowych
i1-GMIC	pierwsze wejście generatora metastabilnościowych interwałów czasowych
i2-GMIC	drugie wejście generatora metastabilnościowych interwałów czasowych
o1-GMIC	pierwsze wyjście generatora metastabilnościowych interwałów czasowych
o2-GMIC	drugie wyjście generatora metastabilnościowych interwałów czasowych
RSa	wejście regulacji szybkości pierwszego wyjścia generatora metastabilnościowych interwałów czasowych
RSb	wejście regulacji szybkości drugiego wyjścia generatora metastabilnościowych interwałów czasowych
UKR	układ kompensacji i regulacji
P1	pierwszy przerzutnik
D1	pierwsze wejście pierwszego przerzutnika
C1	drugie wejście pierwszego przerzutnika
Q1	wyjście pierwszego przerzutnika
IsS1	wejście sterowania spowalnianiem części podrzędnej pierwszego przerzutnika
Io1M1	pierwsze wejście dynamicznego sterowania części nadrzędnej pierwszego przerzutnika
Io2M1	drugie wejście dynamicznego sterowania części nadrzędnej pierwszego przerzutnika
Io1S1	pierwsze wejście dynamicznego sterowania części podrzędnej pierwszego przerzutnika
Io2S1	drugie wejście dynamicznego sterowania części podrzędnej pierwszego przerzutnika
P2	drugi przerzutnik
D2	pierwsze wejście drugiego przerzutnika
C2	drugie wejście drugiego przerzutnika
Q2	wyjście drugiego przerzutnika
IsS2	wejście sterowania spowalnianiem części podrzędnej drugiego przerzutnika
Io1M2	pierwsze wejście dynamicznego sterowania części nadrzędnej drugiego przerzutnika
Io2M2	drugie wejście dynamicznego sterowania części nadrzędnej drugiego przerzutnika
Io1S2	pierwsze wejście dynamicznego sterowania części podrzędnej drugiego przerzutnika
Io2S2	drugie wejście dynamicznego sterowania części podrzędnej drugiego przerzutnika
P	przerzutnik
Zas	zasilanie układu
Gnd	masa układu
D	pierwsze wejście przerzutnika
C	drugie wejście przerzutnika
Q	wyjście przerzutnika
IsS	wejście sterowania spowalnianiem części podrzędnej przerzutnika
Io1M	pierwsze wejście dynamicznego sterowania części nadrzędnej przerzutnika

Io2M drugie wejście dynamicznego sterowania części nadrzędnej przerzutnika
Io1S pierwsze wejście dynamicznego sterowania części podrzędnej przerzutnika
Io2S drugie wejście dynamicznego sterowania części podrzędnej przerzutnika

Tb1M pierwszy tranzystor bistabilnej pary części nadrzędnej
Tb2M drugi tranzystor bistabilnej pary części nadrzędnej
Tb1S pierwszy tranzystor bistabilnej pary części podrzędnej
Tb2S drugi tranzystor bistabilnej pary części podrzędnej
Tu1M pierwszy tranzystor ustalający części nadrzędnej
Tu2M drugi tranzystor ustalający części nadrzędnej
Tu1S pierwszy tranzystor ustalający części podrzędnej
Tu2S drugi tranzystor ustalający części podrzędnej
TzM tranzystor zezwalający części nadrzędnej
TzS tranzystor zezwalający części podrzędnej
To1M pierwszy tranzystor obciążenia dynamicznego części nadrzędnej
To2M drugi tranzystor obciążenia dynamicznego części nadrzędnej
To1S pierwszy tranzystor obciążenia dynamicznego części podrzędnej
To2S drugi tranzystor obciążenia dynamicznego części podrzędnej
Tw1 pierwszy tranzystor wyjściowy
Tw2 drugi tranzystor wyjściowy
Rw rezystor wyjściowy
TrM tranzystor równoważący części nadrzędnej
TsS tranzystor spowalniający części podrzędnej
Cs1S pierwszy kondensator spowalniający części podrzędnej
Cs2S drugi kondensator spowalniający części podrzędnej
RsS rezystor spowalniający części podrzędnej
Nk inwerter kluczowany
N1 pierwszy inwerter
N2 drugi inwerter
N3 trzeci inwerter