



Zastrzeżenia patentowe

1. Układ do sterowania w czasie rzeczywistym rozptyłami mocy w sieci niskiego napięcia z dużym nasyceniem źródłami rozproszonymi, która to sieć podłączona jest do systemu elektroenergetycznego (SE) i składa się z pierwszego węzła (A1), do którego pierwszego wyjścia podłączony jest transformator rozdzielczy SN/nN (Tr) wyposażony w podobciążeniowy przełącznik zaczełów (OLTC) z podłączonym do niego pierwszym mikrokontrolerem (MKTR) dedykowanym do sterowania położeniem przekładni zaczełów (OLTC), **przy czym** do pierwszego węzła (A1) szeregowo podłączone są kolejno przekładnik napięciowy średniego napięcia (PK1), miernik pomiaru RMS napięcia w sieci średniego napięcia (LB1), oraz drugi mikrokontroler (MKB) odpowiedzialny za akwizycję danych pomiarowych średniego i niskiego napięcia, który podłączony jest poprzez licznik czterokwadrantowy energii elektrycznej niskiego napięcia (LB2) i układ przekładników prądowych i napięciowych (PK2) do drugiego węzła (A2) znajdującego się na linii pomiędzy stroną niskiego napięcia transformatora rozdzielczego SN/nN (Tr) a trzecim węzłem (B), **zaś** drugi mikrokontroler (MKB) wraz z układem pomiarowym składającym się z licznika czterokwadrantowego energii elektrycznej niskiego napięcia (LB2) i przekładników prądowych i napięciowych (PK2) tworzy koncentrator zintegrowany AMI (KAMI), **natomiast** pomiędzy trzecim węzłem (B) a czwartym węzłem (C) oraz trzecim węzłem (B) i piątym węzłem (D) znajdują się magistrale, **zaś** do każdej z nich w punkcie przyłączenia od (P11) do (P1n) i od (P21) do (P2n) przyłączeni są odbiorcy (O) lub prosumenci (G), **z kolei** do co najmniej jednej z dwóch magistrali podłączony jest w punkcie (P1M, P2M) układ przekształtnikowy mocy AC/DC (PS1, PS2) podłączony do źródła prądu stałego (M1, M2) **tudzież** do statycznego układu przekształtnikowego mocy AC/DC (PS1, PS2) podłączony jest trzeci mikrokontroler (MK1, MK2) odpowiedzialny za sterowanie w trybie grid feeding, który to trzeci mikrokontroler (MK1, MK2) połączony jest z odbiornikiem PS1, PS2 (RF1, RF2), **ponadto** drugi mikrokontroler (MKB) poprzez węzeł wejścia do KAMI (INAMI) połączony jest poprzez odbiornik AMI (RFAMI) z każdym licznikiem energii elektrycznej w pierwszej magistrali od (L11) do (L1n) i jednocześnie z każdym licznikiem energii elektrycznej w drugiej magistrali od (L21) do (L2n), **przy czym** każdy licznik energii elektrycznej wyposażony jest w nadajnik licznika energii klasy AMI kolejno w pierwszej magistrali od (RF11) do (RF1n) i w drugiej magistrali (RF21) do (RF2n), **znamienny tym, że** drugi mikrokontroler (MKB) podłączony jest do czwartego mikrokontrolera (MKCPU) jednostki obliczeniowej graficznej (GPU), w którym do czwartego mikrokontrolera (MKCPU) podłączone są równolegle rdzenie graficzne CUDA (AI1) i (AI2) **tudzież** wyjście pierwszego rdzenia graficznego CUDA (AI1) połączone jest z wejściem drugiego rdzenia graficznego CUDA (AI2), **natomiast** wyjście z pierwszego rdzenia graficznego (AI1) i wyjście z drugiego rdzenia graficznego (AI2) połączone jest z czwartym mikrokontrolerem (MKCPU), **przy czym** pierwsze wyjście (OUT1) czwartego mikrokontrolera (MKCPU) podłączone jest z trzecim mikrokontrolerem (MK1, MK2) **tudzież** drugie wyjście (OUT2) podłączone jest z pierwszym mikrokontrolerem (MKTR).
2. Układ według zastrz. 1 **znamienny tym, że** połączeniem pomiędzy drugim mikrokontrolerem (MKB) a czwartym mikrokontrolerem (MKCPU) jest połączeniem radiowym składającym się z nadajnika radiowego MKB (RFB) i odbiornika radiowego GPU (RFIN).
3. Układ według zastrz. 1 **znamienny tym, że** połączeniem pomiędzy drugim mikrokontrolerem (MKB) a czwartym mikrokontrolerem (MKCPU) jest połączeniem światłowodowym.
4. Układ według zastrz. 1 **znamienny tym, że** połączeniem pomiędzy czwartym mikrokontrolerem (MKCPU) a trzecim mikrokontrolerem (MK1, MK2) jest połączeniem radiowym składającym się z nadajnika radiowego GPU (RFOUT) i odbiornika radiowego PS1 (RF1, RF2).

5. Układ według zastrz. 1 **znamienny tym, że** połączeniem pomiędzy czwartym mikrokontrolerem (**MKCPU**) a trzecim mikrokontrolerem (**MK1, MK2**) jest połączeniem światłowodowym.
6. Układ według zastrz. 1 **znamienny tym, że** połączeniem pomiędzy czwartym mikrokontrolerem (**MKCPU**) a pierwszym mikrokontrolerem (**MKTR**) jest połączeniem radiowym składającym się z nadajnika radiowego GPU (**RFOUT**) i odbiornika radiowego transformatora SN/n (**RFTR**).
7. Układ według zastrz. 1 **znamienny tym, że** połączeniem pomiędzy czwartym mikrokontrolerem (**MKCPU**) a pierwszym mikrokontrolerem (**MKTR**) jest połączeniem światłowodowym.
8. Sposób sterowania w czasie rzeczywistym rozptywami mocy w sieci niskiego napięcia z dużym nasyceniem źródłami rozproszonymi realizowany z wykorzystaniem układu według zastrz. 1 **znamienny tym, że** w przedziale czasowym (**T**) z wykorzystaniem miernika pomiaru RMS napięcia w sieci średniego napięcia (**LB1**) odczytuje się wartość skuteczną napięcia sieci SN (**UNSN**) oraz z wykorzystaniem licznika czterokwadrantowego energii elektrycznej nN (**LB2**) odczytuje się moc czynną (**PB**) oraz jej kierunek przepływu w stosunku do systemu elektroenergetycznego (**SE**), a odczytane wartości przekazuje się do drugiego mikrokontrolera odpowiedzialnego za akwizycję danych (**MKB**), który jednocześnie w tym samym oknie czasowym (**T**) w ramach koncentratora AMI (**KAMI**) pobiera wartości i kierunki mocy czynnej od (**PL11**) do (**PL1n**) z liczników energii elektrycznej z pierwszej magistrali od (**L11**) do (**L1n**) oraz z wartości i kierunki mocy czynnej od (**PL21**) do (**PL2n**), z liczników energii elektrycznej z drugiej magistrali od (**L21**) do (**L2n**), zaś zebrane dane pomiarowe są konwertowane do postaci pierwszej macierzy (**nr 1,1 albo 2,1**) dwu wymiarowej składającej się z predyktorów reprezentujących kolumny macierzy jako (**UNSN, PB**) oraz (**PL11, PL12, do PL1n**) i (**PL21, PL22 do PL2n**), zaś pierwszy wiersz pierwszej macierzy (**nr 1,1 albo nr 2,1**) stanowią zmierzone wartości fizyczne z okna czasowego (**T**), następnie dane pierwszej macierzy (**nr 1,1 albo nr 2,1**) wysyła się do czwartego mikrokontrolera (**MKCPU**), który wykonuje obliczenia predykcyjne wartości pierwszej mocy czynnej (**P1, P2**) na pierwszym rdzeniu (**AI1**) wyposażonym w maszynę konwolucyjną sieci neuronowej, której wartość jest przesyłana do trzeciego mikrokontrolera (**MK1, MK2**) w celu wysterowanie zgodnie z otrzymaną wartością predykcji (**P1, P2**) dla falownika (**PS1, PS2**), jednocześnie wartość (**P1, P2**) w czwartym mikrokontrolerze (**MKCPU**) jako nowy predyktor dla kolumn i wartość dla pierwszego wiersza jest dodana do drugiej macierzy (**nr 1,2 albo nr 2,2**) danych, która w nowej postaci jest przesłana na drugi rdzeń (**AI2**) wyposażony w maszynę klasyfikacyjną, w której oblicza się wartość drugiej predykcji (**TAP**) położenia przekładni transformatora SN/nN, a wartość przesyła się do pierwszego mikrokontrolera (**MKTR**) w celu ustawienia zadanego położenia przekładni (OLTC).

RZECZNIK PATENTOWY

Maciej Nowicki
mgr inż. Maciej Nowicki
Nr wp. 3476