

(19)



URZĄD
PATENTOWY
RZECZYPOSPOLITEJ
POLSKIEJ

(10) **PL 245393 B1**

(12)

Opis patentowy

(21) Numer zgłoszenia: **439121**

(22) Data zgłoszenia: **2021.10.04**

(43) Data publikacji o zgłoszeniu: **2023.04.11 BUP 15/2023**

(45) Data publikacji o udzieleniu patentu: **2024.07.15 WUP 29/2024**

(51) MKP:

G06F 1/12 (2006.01)

G06F 1/08 (2006.01)

H03L 7/00 (2006.01)

H04J 3/06 (2006.01)

(73) Uprawniony z patentu:

WOJCIECHOWSKI ANDRZEJ, Legionowo, PL

(72) Twórca(-y) wynalazku:

ANDRZEJ WOJCIECHOWSKI, Legionowo, PL

(74) Pełnomocnik:

rzecz. pat. Piotr Mierzwiński, Warszawa, PL

(54) Tytuł:

Układ, system i sposób precyzyjnej synchronizacji fazy sygnału zegarowego

PL 245393 B1

Opis wynalazku

Przedmiotem wynalazku jest układ, system i sposób precyzyjnej synchronizacji fazy sygnału zegarowego, zwłaszcza do precyzyjnej synchronizacji fazy sygnału zegarowego w złożonych układach cyfrowych, a w szczególności pomiędzy modułami układu scalonego. Wynalazek ma także zastosowanie do systemów cyfrowego przetwarzania sygnałów, w których synchronizacja fazy sygnału zegarowego ma duże znaczenie dla uzyskiwanych wyników.

Najczęściej do rozwiązania problemu wyrównania faz sygnałów zegarowych (czy też ogólnie opóźnień) wykorzystuje się bloki programowalnego opóźnienia lub przesuwnika fazy, który konfiguruje się dobierając właściwą wartość opóźnienia lub przesunięcia fazy na podstawie obserwacji właściwych sygnałów w trakcie manualnej kalibracji układu. Rozwiązania automatyczne są nieliczne.

Znany jest dokument zgłoszeniowy US10541690, który ujawnia sposób i urządzenie do wyrównywania faz pierwszego sygnału zegarowego i drugiego sygnału zegarowego. Urządzenie zawiera detektor fazy, generator opóźnienia i sterownik. Detektor fazy jest skonfigurowany do generowania sygnału poprzedzającego i sygnału następującego po nim w odniesieniu do pierwszego sygnału zegarowego w celu wykrycia relacji między fazami pierwszego sygnału zegarowego i drugiego sygnału zegarowego. Generator opóźnienia jest skonfigurowany do opóźniania pierwszego sygnału zegarowego, gdy drugi sygnał zegarowy jest opóźniony w stosunku do sygnału następczego w stosunku do pierwszego sygnału zegarowego. Sterownik jest skonfigurowany do określenia czy fazy pierwszego sygnału zegarowego i drugiego sygnału zegarowego są wyrównane ze sobą zgodnie z zależnością wykrytą przez detektor fazy.

Z kolei dokument zgłoszeniowy US10541690 ujawnia sposób i układ do wykrywania i pomiaru różnicy faz, liniowo w zakresie 360 stopni fazowych, pomiędzy sygnałami wyjściowymi z modułu zegara warstwy podstawowej i modułu zegara warstwy rezerwowej w systemie telekomunikacyjnym, obliczania ilości czasu potrzebnego do opóźnienia sygnału zegara warstwy rezerwowej (+526 2) na tyle, aby zniwelować różnicę faz, oraz sterowania cyfrową linią opóźniającą w celu odpowiedniego przesunięcia fazy sygnału zegara warstwy rezerwowej (+526 2), a tym samym zniwelowania różnicy faz. W ten sposób utrzymywane jest wyrównanie częstotliwości i fazy obu zegarów. Dlatego też, gdy system lub użytkownik przełącza operacje z modułu zegara warstwy podstawowej na moduł zegara warstwy rezerwowej, nie są generowane stany przejściowe związane z fazą, co powoduje znaczny wzrost ogólnej wydajności i niezawodności systemu.

Rozwiązania te odnoszą się do wyrównania faz dwóch równoległych wejściowych (z punktu widzenia układu) sygnałów zegarowych, ale nie umożliwiają wyrównania faz sygnałów zegarowych wielu połączonych układów.

Dokument zgłoszeniowy US10541690 ujawnia co najmniej jedno wykonanie sposobu synchronizacji zegara logicznego w urządzeniu zawierającym zegar fizyczny, port wejściowy i port wyjściowy, przy czym urządzenie zawiera ponadto zegar logiczny i zegar z kompensacją czasu współdzielący zegar fizyczny, przy czym zegar z kompensacją czasu umożliwia określenie czasu opóźnienia, obejmuje: uzyskanie teoretycznego czasu opóźnienia; podczas fazy synchronizacji wstępnej, zgodnie z którą zegar logiczny nie jest zsynchronizowany, dodanie wartości reprezentującej uzyskany teoretyczny czas opóźnienia do wartości czasu opóźnienia zapisanej w komunikacie synchronizacji, który ma być przekazany, podczas fazy synchronizacji, zgodnie z którą zegar logiczny jest zsynchronizowany, uzyskanie czasu opóźnienia i dodanie wartości reprezentującej uzyskany czas opóźnienia do wartości czasu opóźnienia zapisanej w komunikacie synchronizacji, który ma być przekazany, oraz synchronizację zegara logicznego w funkcji wartości czasu opóźnienia zapisanej w otrzymanym komunikacie synchronizacji.

Rozwiązanie to umożliwia określenie opóźnienia pomiędzy połączonymi łańcuchowo układami. Zatem rozwiązuje problem polegający na synchronizacji czasu w co najmniej dwóch zegarach, a nie synchronizacji fazy sygnałów zegarowych.

Dokument zgłoszeniowy CN106970679 ujawnia wieloukładową strukturę synchronizacyjną opartą na układzie przetwornika czasowo-cyfrowego. Wieloukładowa struktura synchronizacyjna składa się z N układów scalonych wyposażonych we wbudowane przetworniki czasowo-cyfrowe i moduły regulacji sekwencji czasu. Każdy układ scalony zawiera końcówkę odbiorczą sygnału wskazującego synchronizację, końcówkę wyjściową sygnału wskazującego synchronizację, jeden konwerter czasowo-cyfrowy i jeden moduł regulacji sekwencji czasowej, gdzie końcówka odbiorcza sygnału wskazującego synchronizację służy do odbierania sygnału wskazującego synchronizację wprowadzanego do układu scalonego z zewnątrz; końcówka wyjściowa sygnału wskazującego synchronizację służy do wyprowadzania sygnału wskazującego synchronizację poddawanego ponownemu próbkowaniu sekwencji czasowej

poprzez wyzwalacz w układzie scalonym, gdzie częstotliwość próbkowania wyzwalacza jest całkowicie zgodna z sekwencją czasową zegara o maksymalnej częstotliwości; konwerter czasowo-cyfrowy służy do kwantyzacji opóźnień sekwencji czasowej dwóch sygnałów wejściowych na wartości cyfrowe, gdzie sygnał wejściowy IN1 jest sygnałem wskazującym synchronizację wprowadzanym do układu z zewnątrz, a sygnał wejściowy IN2 jest sygnałem wskazującym synchronizację poddawanym ponownemu próbkowaniu sekwencji czasowej przez wyzwalacz w układzie; a moduł regulacji sekwencji czasowej służy do regulacji opóźnień wyjściowych sygnałów wskazujących synchronizację zgodnie z wejściowymi wartościami cyfrowymi. Poprzez przyjęcie struktury łańcucha połączeń układów (ang. Daisy chain), obciążenie źródła sygnału wskazującego synchronizację jest odciążone.

Rozwiązanie wykorzystuje strukturę łańcuchowego połączenia układów (ang. Daisy chain). W rozwiązaniu kompensuje się opóźnienie wynikające z połączeń między układami wykorzystując przetworniki TDC (ang. Time-to-digital converter). Rozwiązanie to służy do określenia i kompensacji opóźnienia między układami w większej skali niż tylko faza sygnału okresowego (zegarowego) – podobnie jak pozostałe przytoczone rozwiązania. Tego typu rozwiązania, synchronizujące układy na poziomie np. mikrosekund, nanosekund itp., zapewniają mniejszą dokładność synchronizacji niż potrzebna przy synchronizacji fazy sygnału zegarowego, tj. z dokładnością do setnych części okresu sygnału zegarowego.

Wynalazek rozwiązuje problem zapewnienia układu i sposobu w pełni automatycznej precyzyjnej synchronizacji faz sygnałów zegarowych pomiędzy co najmniej dwoma układami: układem synchronizowanym i synchronizującym. Rozwiązanie umożliwia przeprowadzenie automatycznej precyzyjnej synchronizacji faz sygnałów zegarowych w wielu układach połączonych ze sobą i sterowanych wspólnym sygnałem zegarowym. Rozwiązanie może być wykorzystane zarówno w układach scalonych jak i w układach złożonych z elementów dyskretnych. Dowolne długości połączeń oraz wartości opóźnień połączeń kolejnych układów mogą być skompensowane przy użyciu niniejszego układu. Co więcej, rozwiązanie zapewnia możliwość wykrycia stanu utraty synchronizacji oraz dokonania ponownej synchronizacji faz sygnałów zegarowych w razie wystąpienia utraty synchronizacji.

Po pomyślnym zakończeniu procesu precyzyjnej synchronizacji, fazy sygnałów zegarowych zsynchronizowanych układów w punkcie odniesienia są równe (z określoną dokładnością). Wykorzystując sygnał zegarowy z punktu odniesienia można uzyskać efekt działania wszystkich połączonych układów bez przesunięcia w fazie.

Układ precyzyjnej synchronizacji fazy sygnału zegarowego według wynalazku charakteryzuje się tym, że pierwsze wyprowadzenie układu precyzyjnej synchronizacji jest połączone z pierwszym wyprowadzeniem pierwszego układu przełączającego, którego drugie wyprowadzenie jest połączone z pierwszym wyprowadzeniem multipleksera, a trzecie wyprowadzenie pierwszego układu przełączającego połączone jest z pierwszym wyprowadzeniem detektora fazy, wyjściem układu opóźniającego oraz wyjściem zegarowym układu precyzyjnej synchronizacji.

Drugie wyprowadzenie układu precyzyjnej synchronizacji jest połączone z wejściem układu opóźniającego, a trzecie wyprowadzenie układu precyzyjnej synchronizacji jest połączone z pierwszym wyprowadzeniem drugiego układu przełączającego, którego drugie wyprowadzenie jest połączone z drugim wejściem multipleksera, a trzecie wyprowadzenie drugiego układu przełączającego połączone jest z pierwszym wejściem detektora fazy, wyjściem układu opóźniającego oraz wyjściem zegarowym układu precyzyjnej synchronizacji.

Ponadto wyjście multipleksera połączone jest z drugim wejściem detektora fazy, ponadto układ precyzyjnej synchronizacji zawiera wyprowadzenie sterujące połączone z wyprowadzeniem sterownika, który to sterownik jest połączony z wyprowadzeniem sterującym pierwszego układu przełączającego, z wyprowadzeniem sterującym drugiego układu przełączającego, z co najmniej jednym wyprowadzeniem sterującym układu opóźniającego, z wyprowadzeniem sterującym multipleksera oraz z wyjściem detektora fazy.

Korzystnie jest, gdy pierwszy układ przełączający zawiera bufor trójstanowy, którego wyprowadzenie sterujące jest połączone z wyprowadzeniem sterującym, wejście bufora trójstanowego połączone jest z trzecim wyprowadzeniem, wyjście bufora trójstanowego połączone jest z pierwszym wyprowadzeniem.

Korzystnie jest, gdy pierwszy układ przełączający zawiera bufor trójstanowy oraz dodatkowy bufor opóźniający pomiędzy pierwszym wyprowadzeniem a drugim wyprowadzeniem pierwszego układu przełączającego.

Korzystnie jest, gdy drugi układ przełączający zawiera bufor trójstanowy, którego wyprowadzenie sterujące jest połączone z wyprowadzeniem sterującym, wejście bufora trójstanowego połączone jest z trzecim wyprowadzeniem, wyjście bufora trójstanowego połączone jest z pierwszym wyprowadzeniem.

Korzystnie jest, gdy drugi układ przełączający zawiera bufor trójstanowy oraz dodatkowy bufor opóźniający pomiędzy pierwszym wyprowadzeniem a drugim wyprowadzeniem drugiego układu przełączającego.

Korzystnie jest, gdy układu opóźniającego, zawiera połączony z wejściem układu opóźniającego blok opóźniający, którego wyjście jest połączone z wejściem dzielnika częstotliwości, którego wyjście jest połączone z wyjściem układu opóźniającego, przy czym wyprowadzenie sterujące blokiem opóźniającym oraz wyprowadzenie sterujące dzielnika częstotliwości są połączone z dwoma niezależnymi wyprowadzeniami sterującymi układu opóźniającego.

Korzystnie jest, gdy zawiera co najmniej jeden dodatkowy układ programowalnego opóźnienia.

Korzystnie jest, gdy wyjście układu programowalnego opóźnienia jest połączone z trzecim wyprowadzeniem pierwszego układu przełączającego, przy czym wejście układu programowalnego opóźnienia połączone jest z pierwszym wyprowadzeniem detektora fazy, które jest połączone z wyjściem układu opóźniającego oraz z wyjściem zegarowym i z trzecim wyprowadzeniem drugiego układu przełączającego.

Korzystnie jest, gdy wejście układu programowalnego opóźnienia jest połączone z trzecim wyprowadzeniem pierwszego układu przełączającego, które jest połączone z wyjściem układu opóźniającego, przy czym wyjście układu programowalnego opóźnienia połączone jest z pierwszym wyprowadzeniem detektora fazy oraz z wyjściem zegarowym i z trzecim wyprowadzeniem drugiego układu przełączającego.

Korzystnie jest, gdy wejście układu programowalnego opóźnienia jest połączone z trzecim wyprowadzeniem pierwszego układu przełączającego, które jest połączone z wyjściem układu opóźniającego oraz z pierwszym wyprowadzeniem detektora fazy, przy czym wyjście układu programowalnego opóźnienia połączone jest z wyjściem zegarowym i z trzecim wyprowadzeniem drugiego układu przełączającego.

Korzystnie jest, gdy wejście układu programowalnego opóźnienia jest połączone z trzecim wyprowadzeniem pierwszego układu przełączającego, które jest połączone z wyjściem układu opóźniającego oraz z pierwszym wyprowadzeniem detektora fazy, oraz z wyjściem zegarowym, przy czym wyjście układu programowalnego opóźnienia połączone jest z trzecim wyprowadzeniem drugiego układu przełączającego.

Korzystnie jest, gdy wejście układu programowalnego opóźnienia jest połączone z drugim wyprowadzeniem pierwszego układu przełączającego, a wyjście układu programowalnego opóźnienia połączone jest z pierwszym wyprowadzeniem multipleksa.

Korzystnie jest, gdy wejście układu programowalnego opóźnienia jest połączone z drugim wyprowadzeniem pierwszego układu przełączającego, a wyjście układu programowalnego opóźnienia połączone jest z drugim wyprowadzeniem multipleksa.

Korzystnie jest, gdy sterownik jest połączony z wyprowadzeniem sterującym multipleksa.

System precyzyjnie synchronizowany sygnałem zegarowym według wynalazku charakteryzuje się tym, że zawiera co najmniej dwa moduły systemu synchronizowane jednym sygnałem zegarowym, przy czym można wyróżnić moduł poprzedzający i moduł następujący, i przy czym każdy z co najmniej dwóch modułów zawiera układ precyzyjnej synchronizacji fazy sygnału zegarowego określony w zastrz. 1–6, a pierwsze wyprowadzenie układu precyzyjnej synchronizacji modułu następującego połączone jest z trzecim wyprowadzeniem układu precyzyjnej synchronizacji modułu poprzedzającego oraz drugie wyprowadzenie układu precyzyjnej synchronizacji modułu następującego połączone jest z wyjściem zegarowym układu precyzyjnej synchronizacji modułu poprzedzającego, dodatkowo sterownik układu precyzyjnej synchronizacji modułu następującego jest połączony ze sterownikiem układu precyzyjnej synchronizacji modułu poprzedzającego.

Korzystnie jest, gdy zawiera układ nadzorujący synchronizację, który jest połączony ze sterownikiem układu precyzyjnej synchronizacji modułu następującego i ze sterownikiem układu precyzyjnej synchronizacji modułu poprzedzającego.

Korzystnie jest, gdy układem nadzorującym synchronizację jest sterownik układu precyzyjnej synchronizacji modułu następującego, przy czym jest on połączony bezpośrednio ze sterownikiem układu precyzyjnej synchronizacji modułu poprzedzającego.

Korzystnie jest, gdy układem nadzorującym synchronizację jest sterownik układu precyzyjnej synchronizacji modułu poprzedzającego, przy czym jest on połączony ze sterownikiem układu precyzyjnej synchronizacji modułu następującego.

Sposób według wynalazku precyzyjnej synchronizacji fazy sygnału zegarowego pomiędzy co najmniej dwoma modułami systemu synchronizowanego jednym sygnałem zegarowym, przy czym można wyróżnić moduł poprzedzający i moduł następujący, i przy czym każdy z co najmniej dwóch modułów zawiera układ precyzyjnej synchronizacji fazy sygnału zegarowego charakteryzuje się tym, że obejmuje etapy:

- a) Kalibrowania w przód, przy czym kalibracja obejmuje wyznaczanie nastaw opóźnienia układu opóźniającego modułu następującego dla co najmniej dwóch różnych nastaw podziału częstotliwości układu opóźniającego modułu poprzedzającego, przy czym wyznaczenie polega na wybraniu nastaw opóźnienia układu opóźniającego dla minimalnego przesunięcia fazy w detektorze fazy modułu następującego.
- b) Kalibrowania w tył, przy czym kalibracja obejmuje wyznaczanie nastaw opóźnienia układu opóźniającego modułu następującego dla co najmniej dwóch nastaw podziału częstotliwości układu opóźniającego modułu poprzedzającego, przy czym wyznaczenie polega na wybraniu nastaw opóźnienia układu opóźniającego dla minimalnego przesunięcia fazy w detektorze fazy układu poprzedzającego, przy czym nastawy podziału częstotliwości układu opóźniającego mają takie same wartości co w etapie a).
- c) Wyznaczania wartości estymat opóźnień na podstawie informacji o nastawach opóźnienia układu opóźniającego modułu następującego wyznaczonych dla minimalnych przesunięć faz wyznaczonych w etapach a) i b).
- d) Wybierania jednej z estymat spośród par stworzonych z estymat opóźnień dla przesunięć faz wyznaczonych w etapach a) i b), przy czym pary estymat tworzone są z estymat uzyskanych dla różnych wartości nastaw opóźnienia układu opóźniającego, wybierana jest estymata spośród pary estymat, które najmniej różnią się od siebie.
- e) Wybieranie wartości nastaw opóźnienia układu opóźniającego modułu następującego na podstawie wartości wybranej estymaty opóźnienia, które to nastawy opóźnienia układu opóźniającego odpowiadają przesunięciu fazy o jaką należy opóźnić sygnał zegarowy.
- f) Konfigurowania układu opóźniającego do opóźniania sygnału zegarowego modułu następującego. Korzystnie jest, gdy wartości co najmniej dwóch nastaw podziału częstotliwości stosowane w etapie a) i b) wynoszą 0,5 i 1.

Korzystnie jest, gdy wartości co najmniej dwóch nastaw podziału częstotliwości stosowane w etapie a) i b) wynoszą 1 i 2.

Korzystnie jest, gdy etapy c), d), e) i f) są realizowane przez sterownik układu następującego, który to sterownik jest układem nadzorującym synchronizację.

Korzystnie jest, gdy etapy c), d), e) i f) są realizowane przez sterownik układu poprzedzającego, który to sterownik jest układem nadzorującym synchronizację.

Korzystnie jest, gdy etapy c), d), e) i f) są realizowane przez układ nadzorujący synchronizację, który realizuje etapy za pośrednictwem sterownika układu poprzedzającego i przez sterownik układu następującego.

Korzystnie jest, gdy wybieranie jednej z estymat w etapie d) polega na wybraniu mniejszej spośród dwóch estymat w parze.

Korzystnie jest, gdy wybieranie jednej z estymat w etapie d) polega na wyznaczeniu wartości średniej spośród dwóch estymat w parze.

Korzystnie jest, gdy wybieranie jednej z estymat w etapie d) polega na wybraniu tej spośród dwóch estymat w parze, która została wyznaczona dla nastaw podziału częstotliwości stosowanych w etapie a) i b) równych 1.

Korzystnie jest, gdy wyznacza się wartość dodatkowego opóźnienia.

Korzystnie jest, gdy konfiguruje się dodatkowe opóźnienie przy pomocy co najmniej jednego dodatkowego układu programowalnego opóźnienia.

Korzystnie jest, gdy uwzględnia się dodatkowe opóźnienie przy obliczeniach.

Korzystne skutki rozwiązania to możliwość stworzenia systemu złożonego z wielu osobnych układów, którego sygnały wyjściowe są zgodne w fazie z dokładnością znacznie poniżej wartości okresu pojedynczego cyklu zegarowego. Rozwiązanie według wynalazku zapewnia zwiększoną precyzję sterowania systemami składającymi się z wielu układów – znacznie poniżej wartości okresu pojedynczego

cyklu zegarowego. Prowadzi to także do zwiększenia niezawodności i wiarygodności komunikacji pomiędzy połączonymi układami.

Innym skutkiem rozwiązania jest uzyskanie nowych możliwości partycjonowania układów cyfrowych, a co za tym idzie nowych możliwości projektowania układów cyfrowych lub analogowo-cyfrowych.

Rozwiązanie według wynalazku zapewnia w pełni automatyczne wyrównanie fazy sygnałów okresowych, niewymagające udziału człowieka. Układ według wynalazku nie wymaga stosowania dodatkowych, zewnętrznych, układów opóźniających. Rozwiązanie umożliwia kompensację opóźnień o dowolnej wartości. Implementacja rozwiązania w żaden sposób nie ogranicza możliwości pracy urządzenia bez wyrównania fazy sygnałów zegarowych.

Przedmiot wynalazku w przykładzie realizacji jest uwidoczony na rysunku, na którym fig. 1 przedstawia schemat blokowy układu synchronizacji, fig. 2 przedstawia schemat blokowy wariantu układu synchronizacji, fig. 3 przedstawia połączenia układów synchronizujących urządzenia poprzedzającego i następującego wraz z zaznaczoną ścieżką przebiegu sygnałów zegarowych w trybie kalibrowania w przód, fig. 4 przedstawia połączenia układów synchronizujących urządzenia poprzedzającego i następującego wraz z zaznaczoną ścieżką przebiegu sygnałów zegarowych w trybie kalibrowania w tył, fig. 5 przedstawia połączenia układów synchronizujących urządzenia poprzedzającego i następującego wraz z symbolicznym oznaczeniem opóźnień uwzględnianych w obliczeniach, fig. 6 przedstawia trzy układy połączone kaskadowo, które mogą być synchronizowane, fig. 7 przedstawia schemat układu opóźniającego, fig. 8 przedstawia dwa schematy układów równoważnych do układu multipleksera.

Układ precyzyjnej synchronizacji 1 fazy sygnału zegarowego, według pierwszego przykładu realizacji (fig. 1), zawiera detektor fazy 2, układ opóźniający 3 i sterownik 4. Pierwsze wyprowadzenie 11 układu precyzyjnej synchronizacji 1 jest połączone z pierwszym wyprowadzeniem 51 pierwszego układu przełączającego 5, którego drugie wyprowadzenie 52 jest połączone z pierwszym wyprowadzeniem 61 multipleksera 6, a trzecie wyprowadzenie 53 pierwszego układu przełączającego 5 połączone jest z pierwszym wyprowadzeniem 21 detektora fazy 2, wyjściem 32 układu opóźniającego 3 oraz wyjściem zegarowym 14 (czwarte wyprowadzenie) układu precyzyjnej synchronizacji 1. Drugie wyprowadzenie 12 (wejście sygnału zegarowego) układu precyzyjnej synchronizacji 1 jest połączone z wejściem 31 układu opóźniającego 3. Natomiast trzecie wyprowadzenie 13 układu precyzyjnej synchronizacji 1 jest połączone z pierwszym wyprowadzeniem 71 drugiego układu przełączającego 7, którego drugie wyprowadzenie 72 jest połączone z drugim wejściem 62 multipleksera 6, a trzecie wyprowadzenie 73 drugiego układu przełączającego 7 połączone jest z pierwszym 21 wejściem detektora fazy 2, wyjściem 32 układu opóźniającego 3 oraz wyjściem zegarowym 14 układu precyzyjnej synchronizacji 1. Ponadto wyjście 63 multipleksera 6 połączone jest z drugim wejściem 22 detektora fazy 2, ponadto układ precyzyjnej synchronizacji 1 zawiera wyprowadzenie sterujące 15 połączone z wyprowadzeniem sterownika 4, który to sterownik jest połączony z wyprowadzeniem sterującym 54 pierwszego układu przełączającego 5, z wyprowadzeniem sterującym 74 drugiego układu przełączającego 7, z co najmniej jednym wyprowadzeniem sterującym 34 układu opóźniającego 3, z wyprowadzeniem sterującym 64 multipleksera 6 oraz z wyjściem 24 detektora fazy 2.

Dla znawcy w dziedzinie będzie oczywiste, że multipleksler 6 można zastąpić innym układem logicznym, który będzie miał tę właściwość, że będzie dostarczał do wyjścia multipleksera 63 tylko jeden z dwóch doprowadzanych sygnałów. Przykład takich układów z wykorzystaniem bramki NAND albo AND zaprezentowano na fig. 8 a), podobnie można wykorzystać bramki NOR albo OR przedstawione na fig. 8 b). Oba przykładowe układy równoważne multiplekslerowi nie wymagają wyprowadzenia sterującego 64. Jednocześnie uzyskują ten sam efekt techniczny w postaci wyprowadzania tylko sygnału z tego wejścia, do którego doprowadzono sygnał zegarowy, gdy na drugim wejściu stan jest ustalany w inny sposób.

Układ precyzyjnej synchronizacji 1 w pierwszym wariantcie pierwszego przykładu realizacji zawiera bufor trójstanowy 55 w pierwszym układzie przełączającym 5. Wyprowadzenie sterujące bufora trójstanowego 55 jest połączone z wyprowadzeniem sterującym 54, natomiast wejście bufora trójstanowego 55 połączone jest z trzecim wyprowadzeniem 53 pierwszego układu przełączającego 5, a wyjście bufora trójstanowego 55 połączone jest z pierwszym wyprowadzeniem 51 pierwszego układu przełączającego 5.

Układ precyzyjnej synchronizacji 1 w drugim wariantcie pierwszego przykładu realizacji zawiera bufor trójstanowy 55 w pierwszym układzie przełączającym 5 oraz dodatkowy bufor 56 opóźniający pomiędzy pierwszym wyprowadzeniem 51 a drugim wyprowadzeniem 52 pierwszego układu przełączającego 5. Bufor 56 opóźniający ma takie samo opóźnienie jak bufor trójstanowy 55.

Układ precyzyjnej synchronizacji 1 w trzecim wariantcie pierwszego przykładu realizacji zawiera bufor trójstanowy 75 w drugim układzie przełączającym 7. Wyprowadzenie sterujące bufora trójstanowego 75 jest połączone z wyprowadzeniem sterującym 74, natomiast wejście bufora trójstanowego 45 połączone jest z trzecim wyprowadzeniem 73 drugiego układu przełączającego 7, a wyjście bufora trójstanowego 45 połączone jest z drugim wyprowadzeniem 71 drugiego układu przełączającego 7.

Układ precyzyjnej synchronizacji 1 w czwartym wariantcie pierwszego przykładu realizacji zawiera bufor trójstanowy 75 w drugim układzie przełączającym 7 oraz dodatkowy bufor 76 opóźniający pomiędzy pierwszym wyprowadzeniem 71 a drugim wyprowadzeniem 72 drugiego układu przełączającego 7. Bufor 56 opóźniający ma takie samo opóźnienie jak bufor trójstanowy 55.

Układ precyzyjnej synchronizacji 1, a konkretniej układ opóźniający 3 (fig. 7), w piątym wariantcie pierwszego przykładu realizacji zawiera połączony z wejściem 31 układu opóźniającego 3 blok opóźniający 301, którego wyjście jest połączone z wejściem dzielnika częstotliwości 302, i którego wyjście jest połączone z wyjściem 32 układu opóźniającego 3, przy czym wyprowadzenie sterujące 341 blokiem opóźniającym 301 oraz wyprowadzenie sterujące 342 dzielnika częstotliwości 302 są połączone z dwoma niezależnymi wyprowadzeniami sterującymi 34 układu opóźniającego 3.

Układ precyzyjnej synchronizacji 1 w szóstym wariantcie pierwszego przykładu realizacji zawiera dodatkowo układ programowalnego opóźnienia 8, który ma za zadanie ułatwić obliczenie docelowego opóźnienia na podstawie wartości wyznaczonych opóźnień. Dla znawcy zrozumiałe jest, że taki dodatkowy układ może być umieszczony w różnych miejscach układu precyzyjnej synchronizacji 1. Przykładowo wejście układu programowalnego opóźnienia 8 (fig. 2) jest połączone z trzecim wyprowadzeniem 53 pierwszego układu przełączającego 5, które jest połączone z wyjściem 32 układu opóźniającego 3 oraz z pierwszym wyprowadzeniem 21 detektora fazy 2, przy czym wyjście układu programowalnego opóźnienia 8 połączone jest z wyjściem zegarowym 14 i z trzecim wyprowadzeniem 73 drugiego układu przełączającego 7. Według drugiego przykładu realizacji wynalazek zapewnia system synchronizowany sygnałem zegarowym, który zawiera wiele modułów systemu (fig. 6) synchronizowanych jednym sygnałem zegarowym, przy czym można wyróżnić dwa moduły (fig. 3, fig. 4 i fig. 5): moduł poprzedzający i moduł następujący, i przy czym każdy z dwóch modułów zawiera układ precyzyjnej synchronizacji (100, 200) fazy sygnału zegarowego według pierwszego przykładu realizacji.

Pierwsze wejście 211 układu precyzyjnej synchronizacji modułu następującego 200 połączone jest z trzecim wejściem 113 układu precyzyjnej synchronizacji modułu poprzedzającego 100 oraz drugie wejście 212 układu precyzyjnej synchronizacji modułu następującego 200 połączone jest z wyjściem zegarowym 114 układu precyzyjnej synchronizacji modułu poprzedzającego 100, dodatkowo sterownik 204 układu precyzyjnej synchronizacji modułu następującego 200 jest połączony ze sterownikiem 104 układu precyzyjnej synchronizacji modułu poprzedzającego 100.

Według wariantu przykładu realizacji układem nadzorującym 400 synchronizację jest sterownik 204 układu precyzyjnej synchronizacji modułu następującego 200, przy czym jest on połączony bezpośrednio ze sterownikiem 104 układu precyzyjnej synchronizacji modułu poprzedzającego 100. Wybór sterownika nadrzędnego jest dowolny, w innych wariantach przykładu może to być sterownik 104 układu precyzyjnej synchronizacji modułu poprzedzającego 100. Oba sterowniki muszą ze sobą wymieniać informacje.

Odwołując się do fig. 3, fig. 4 i fig. 5 rysunku można wyrazić opóźnienie pomiędzy punktami CPP dwóch kolejnych układów – układu poprzedzającego (synchronizującego) oznaczonego jako 100 i następującego (synchronizowanego) oznaczonego jako 200 przez:

$$d_{tot} = d_{CB} + d_{BO} + d_S + d_{ID} + d_D + d_{DA} + d_{AC}, \quad (R.1)$$

gdzie każdy składnik sumy odpowiada opóźnieniu na poszczególnych odcinkach układu, tak jak opisano to na rysunku. Dla znawcy jest zrozumiałe, że jest to zapis symboliczny i pełni jedynie rolę ilustracyjną, a w konkretniej realizacji nie wszystkie składniki muszą występować.

Docelowe opóźnienie bloku opóźniającego, które należy skonfigurować aby uzyskać synchronizację fazy sygnału zegarowego można wyrazić wzorem (dla T – wartość okresu synchronizowanego sygnału zegarowego):

$$D_t = \text{mod}(-(d_{CB} + d_{BO} + d_S + d_{ID} + d_D + d_{DA} + d_{AC}), T). \quad (R.2)$$

Uzyskanie synchronizacji fazy sygnału zegarowego w układzie nr 1 (synchronizowanym) polega po pierwsze na doborze opóźnienia D_1 , przy czym jest ono iteracyjnie konfigurowane w bloku opóźniającym 203 do uzyskania minimalnej różnicy faz. Etap ten, przedstawiony schematycznie na fig. 3, nazywany jest tutaj kalibracją w przód i polega na porównywaniu w detektorze fazy 202:

- fazy sygnału zegarowego przekazywanego z układu nr 100 wyprowadzeniem 114 do wyprowadzenia 212 200, oraz
- fazy sygnału zegarowego z układu nr 100 do 200 po przejściu przez drugi układ przełączający 107 a następnie przez pierwszy układ przełączający 205.

Dla minimalnej różnicy fazy opóźnienie D_1 jest zapamiętywane do dalszych obliczeń.

Następnie dobiera się opóźnienie D_2 , przy czym jest ono iteracyjnie konfigurowane w bloku opóźniającym 203 do uzyskania minimalnej różnicy faz. Etap ten, przedstawiony schematycznie na fig. 4, nazywany jest tutaj kalibracją w tył i polega na porównywaniu w detektorze fazy 102:

- faza sygnału zegarowego z punktu CPP układu nr 100, oraz
- faza sygnału zegarowego po przesłaniu z układu nr 100 do układu nr 200 oraz po powrocie do układu nr 100 przez pierwszy układ przełączający 205 a następnie przez drugi układ przełączający 107.

Podobnie jak wcześniej wyznaczone opóźnienie D_2 spełniające te warunki jest zapamiętywane do dalszych obliczeń.

Aby wyznaczyć wartość D_t należy skorzystać zależności:

$$\frac{D_1 + D_2}{2} = D_t \pmod{T}, \quad (\text{R.2})$$

która jest prawdziwa, gdy (por. fig 5)

$$d_{AP} + d_{NM} = d_{BN} + d_{AC} + d_{CB} + d_{PM} \pmod{2T}, \quad (\text{R.3})$$

przy czym wartości D_1 i D_2 uzyskuje się odpowiednio w trakcie kalibracji w przód i w tył.

Sygnał zegarowy jest sygnałem okresowym. Oznacza to, że jego przebieg powtarza się cyklicznie – z okresem T . W związku z tym wszystkie obliczenia mogą odbywać się w oparciu o arytmetykę modularną modulo T . Powoduje to trudności obliczeniowe, które w rozwiązaniu przewyżczono dzięki procedurze wyznaczania estymat opóźnienia dla różnych wartości krotności okresu sygnału zegarowego.

Sposób precyzyjnej synchronizacji według trzeciego przykładu realizacji umożliwia automatyczny dobór właściwej wartości opóźnienia sygnału programowalnego bloku opóźniającego lub przesuwnika fazy. Sposób jest wykonywany przy pomocy dwóch układów precyzyjnej synchronizacji 1 po jednym w module poprzedzającym i module następującym. Obejmuje on etapy wyznaczania wartości pośrednich oraz etapy obliczeń. Kolejność przeprowadzenia etapów wyznaczających wartości pośrednie może być dowolna. Dodatkowo etapy obliczeniowe mogą odbywać się w czasie przeprowadzania etapów wyznaczających wartości pośrednie, pod warunkiem posiadania wszystkich wymaganych danych – wyników konkretnych etapów.

Pierwszy etap sposobu polega na wysłaniu sygnału zegarowego z układu precyzyjnej synchronizacji modułu poprzedzającego 100 (ogólniej o indeksie $N-1$) do układu precyzyjnej synchronizacji modułu następującego 200 (ogólniej o indeksie N) dwoma połączeniami, których opóźnienia oznaczono: d_s i d_b (fig. 2) oraz porównaniu ich fazy w detektorze fazy 202 znajdującym się w układzie precyzyjnej synchronizacji modułu następującego 200. Etap ten został zilustrowany na fig. 3 rysunku, gdzie oznaczono ścieżki dwóch porównywanych sygnałów – zostały oznaczone pogrubionymi liniami przerywanymi i kropkowanymi. Punktem odniesienia dla obu sygnałów jest punkt CPP w układzie precyzyjnej synchronizacji modułu poprzedzającego 100. Jest to etap kalibrowania w przód, to znaczy, że detektor fazy wykrywający wyrównanie faz obu porównywanych sygnałów znajduje się w module następującym.

W czasie tego etapu dzielnik częstotliwości 302 układu opóźniającego 103 w układzie precyzyjnej synchronizacji modułu poprzedzającego 100 oraz dzielnik częstotliwości 302 układu opóźniającego 203 w układzie precyzyjnej synchronizacji modułu następującego 200 ustawiony jest na wartość 1 – częstotliwość sygnału wyjściowego równa jest częstotliwości sygnału wejściowego.

Metodą iteracyjną następuje wyznaczenie wartości indeksu opóźnienia iD_1 układu opóźniającego 203 w układzie precyzyjnej synchronizacji modułu następującego 200 (układzie synchronizowanym) tak, aby różnica faz sygnałów wejściowych do detektora fazy 202 w układzie precyzyjnej synchronizacji modułu następującego 200 była jak najmniejsza.

Następnie etap jest powtarzany z tą różnicą, że dzielnik częstotliwości 302 układu opóźniającego 103 w układzie precyzyjnej synchronizacji modułu poprzedzającego 100 ustawiony jest na wartość 0,5 – częstotliwość sygnału wyjściowego równa jest połowie częstotliwości sygnału wejściowego. Dla drugiej wartości nastaw ponownie metodą iteracyjną następuje wyznaczenie wartości indeksu opóźnienia iD_3 układu opóźniającego 203 w układzie precyzyjnej synchronizacji modułu następującego 200 (układzie synchronizowanym) tak, aby różnica faz sygnałów wejściowych do detektora fazy 202 w układzie precyzyjnej synchronizacji modułu następującego 200 była jak najmniejsza.

Obie wartości iD_1 i iD_3 indeksów opóźnienia są zapamiętywane w sterowniku 4, przykładowo jest to sterownik 204 układu precyzyjnej synchronizacji modułu następującego 200, który pełni rolę układu nadzorującego 400 synchronizację.

Drugi etap sposobu polega na wysłaniu sygnału zegarowego z układu precyzyjnej synchronizacji modułu poprzedzającego 100 (o indeksie $N - 1$) do układu następującego (o indeksie N) połączeniem, którego opóźnienie oznaczono d_s (fig. 5) oraz przesłaniu go z powrotem do modułu poprzedzającego połączeniem, którego opóźnienie oznaczono d_B (fig. 5) oraz porównaniu ich fazy w detektorze fazy 102 znajdującym się w układzie precyzyjnej synchronizacji modułu poprzedzającego 100. Jest to etap kalibrowania w tył, to znaczy, że detektor fazy wykrywający wyrównanie faz obu porównywanych sygnałów znajduje się w układzie precyzyjnej synchronizacji modułu poprzedzającego 100. Etap ten został zilustrowany na rysunku na fig. 4 – ścieżki dwóch porównywanych sygnałów zostały oznaczone pogrubionymi liniami przerywanymi i kropkowanymi. Punktem odniesienia dla obu sygnałów jest punkt CPP w układzie precyzyjnej synchronizacji modułu poprzedzającego 100.

W czasie tego etapu dzielnik częstotliwości 302 układu opóźniającego 103 w układzie precyzyjnej synchronizacji modułu poprzedzającego 100 oraz dzielnik częstotliwości 302 układu opóźniającego 203 w układzie precyzyjnej synchronizacji modułu następującego 200 ustawiony jest na wartość 1 – częstotliwość sygnału wyjściowego równa jest częstotliwości sygnału wejściowego.

Metodą iteracyjną następuje wyznaczenie wartości indeksu opóźnienia iD_2 układu opóźniającego 203 w module następującym (układzie synchronizowanym) tak, aby różnica faz sygnałów wejściowych do detektora fazy 102 w układzie precyzyjnej synchronizacji modułu poprzedzającego 100 była jak najmniejsza.

Następnie etap jest powtarzany z tą różnicą, że dzielnik częstotliwości 302 układu opóźniającego 103 w układzie precyzyjnej synchronizacji modułu poprzedzającego 100 ustawiony jest na wartość 0,5 – częstotliwość sygnału wyjściowego równa jest połowie częstotliwości sygnału wejściowego. Dla drugiej wartości nastaw ponownie metodą iteracyjną następuje wyznaczenie wartości indeksu opóźnienia iD_4 układu opóźniającego 203 w układzie precyzyjnej synchronizacji modułu następującego 200 (układzie synchronizowanym) tak, aby różnica faz sygnałów wejściowych do detektora fazy 102 w module poprzedzającym 100 była jak najmniejsza.

Obie wartości iD_2 i iD_4 indeksów opóźnienia są zapamiętywane w sterowniku 204.

Trzeci etap sposobu jest pierwszym z etapów obliczeniowych. Wartości indeksów opóźnienia wyznaczone w pierwszym i drugim etapie są konwertowane (przeliczone) na wartość opóźnienia sygnału pomiędzy wejściem a wyjściem bloku opóźniającego – oznaczane jako D_1 , D_3 , D_2 , D_4 . W ogólności indeks opóźnienia nie musi być wyrażony w jednostkach czasu, lecz w krotnościach sygnału zegarowego lub innego sygnału odniesienia w układzie opóźniającym 203, stąd konieczność jego przeliczenia na wartości wyrażone w jednostce czasu. W innym przykładzie realizacji indeks opóźnienia jest tożsamy z wartością opóźnienia. Następnie za pomocą równań:

$$D_{est1} = T - \frac{\text{mod}(D_1 + D_2; T)}{2} \quad (\text{R.4})$$

$$D_{est2} = \frac{T - \text{mod}(D_1 + D_2; T)}{2} \quad (\text{R.5})$$

$$D_{est3} = 2T - \frac{\text{mod}(D_3 + D_4; 2T)}{2} \quad (\text{R.6})$$

$$D_{est4} = \frac{2T - \text{mod}(D_3 + D_4; 2T)}{2} \quad (\text{R.7})$$

wyznaczane są estymaty ostatecznego opóźnienia: D_{est1} , D_{est2} , D_{est3} oraz D_{est4} , gdzie wartość T oznacza okres sygnału zegarowego, przykładowo okres $T = 0,5 \mu s$, a wartość $2T$ oznacza dwukrotność okresu sygnału zegarowego ($1 \mu s$) dla nastaw dzielnika częstotliwości 302 układu opóźniającego 103 w układzie precyzyjnej synchronizacji modułu poprzedzającego 100 na wartość 0,5.

Jak widać z równań R.4 i R.5 różnica między wyznaczonymi estymatami wynosi $T/2$, a różnica między wyznaczonymi estymatami z równań R.6 i R.7 wynosi T .

W innym wariantcie tego przykładu realizacji druga wartość nastaw dzielnika częstotliwości 302 układu opóźniającego 103 w układzie precyzyjnej synchronizacji modułu poprzedzającego 100 wynosi 2 (częstotliwość sygnału wyjściowego równa jest dwukrotności częstotliwości sygnału wejściowego) zamiast 0,5, wówczas równania R.6 i R.7 przyjmują postać:

$$D_{est3} = \frac{T}{2} - \frac{\text{mod}(D_3 + D_4; T/2)}{2} \quad (\text{R.6a})$$

$$D_{est4} = \frac{T/2 - \text{mod}(D_3 + D_4; T/2)}{2} \quad (\text{R.7a})$$

Różnica między wyznaczonymi estymatami z równań R.6a i R.7a wynosi $T/4$.

Kolejny etap sposobu polega na porównaniu wyznaczonych estymat: D_{est1} , D_{est2} , D_{est3} oraz D_{est4} . Dwie z estymat powinny mieć zbliżoną wartość (zakładając nieskończoną dokładność bloku opóźniającego 3 oraz detektora fazy 2, wartości powinny być równe).

Możliwe pary estymat o zbliżonej wartości:

D_{est1} oraz D_{est3} ,

D_{est1} oraz D_{est4} ,

D_{est2} oraz D_{est3} ,

D_{est2} oraz D_{est4} .

W kolejnym etapie spośród par estymat wybierana jest estymata, która jest ostatecznym opóźnieniem D_t sygnału zegarowego, które należy wprowadzić pomiędzy punktami CPP synchronizowanych układów. Przykładowo wybierana jest estymata D_{est1} albo D_{est2} , czyli estymata odpowiadająca wartości opóźnienia wyznaczonym, gdy dzielnik częstotliwości 302 układu opóźniającego 103 w układzie precyzyjnej synchronizacji modułu poprzedzającego 100 ustawiony był na wartość 1.

Wartość okresu sygnału zegarowego T pomniejszona o wartość ostatecznej estymaty opóźnienia D_t wybrana w poprzednim etapie jest konwertowana (przeliczana) na wartość indeksu przesunięcia fazy/opóźnienia bloku opóźniającego 203 modułu następującego. Po ustawieniu bloku opóźniającego 203 na wyznaczoną wartość opóźnienia D_t , fazy sygnałów zegarowych układu precyzyjnej synchronizacji modułu poprzedzającego 100 (o indeksie $N - 1$) oraz układu precyzyjnej synchronizacji modułu następującego 200 (o indeksie N) w punktach odniesienia CPP są wyrównane.

Sposób według czwartego przykładu realizacji przedstawiono z uwzględnieniem, że sygnał zegarowy ma częstotliwość 1,57 MHz, co odpowiada okresowi $T = 635 \mu s$. Sposób obejmuje etapy:

a) Kalibrowania w przód, przy czym kalibracja obejmuje wyznaczanie nastaw opóźnienia układu opóźniającego 203 układu precyzyjnej synchronizacji modułu następującego 200 dla nastaw podziału częstotliwości układu opóźniającego 103 układu precyzyjnej synchronizacji modułu poprzedzającego 100 wynoszących 1 i 0,5, przy czym wyznaczenie polega na wybraniu nastaw opóźnienia układu opóźniającego 203 dla minimalnego przesunięcia fazy w detektorze fazy 202 układu precyzyjnej synchronizacji modułu następującego 200. Przykładowo opóźnienie między punktami CPP układu precyzyjnej synchronizacji modułu poprzedzającego 100 i układu precyzyjnej synchronizacji modułu następującego 200 wynosi $1172 \mu s$. Wówczas przy kalibracji w przód uzyskuje się przykładowo dla nastawy podziału częstotliwości równej 1 opóźnienie $D_1 = 374 \mu s$, a dla nastawy 0,5 opóźnienie $D_3 = 374 \mu s$.

b) Kalibrowania w tył, przy czym kalibracja obejmuje wyznaczanie nastaw opóźnienia układu opóźniającego 203 układu precyzyjnej synchronizacji modułu następującego 200 dla nastaw podziału częstotliwości układu opóźniającego 103 układu precyzyjnej synchronizacji modułu poprzedzającego 100 wynoszących 1 i 0,5, przy czym wyznaczenie polega na wybraniu nastaw opóźnienia układu opóźniającego 203 dla minimalnego przesunięcia fazy w detektorze fazy 102 układu precyzyjnej synchronizacji modułu poprzedzającego 100, przy czym nastawy podziału częstotliwości układu opóźniającego 103 mają takie same wartości co w etapie a). Przykładowo przy kalibracji w tył uzyskuje się

dla nastawy podziału częstotliwości równej 1 opóźnienie $D_2 = 457 \mu\text{s}$, a dla nastawy 0,5 opóźnienie również $D_4 = 1092 \mu\text{s}$.

c) Wyznaczania wartości estymat opóźnień na podstawie informacji o nastawach opóźnienia układu opóźniającego 203 układu precyzyjnej synchronizacji modułu następującego 200 wyznaczonych dla minimalnych przesunięć faz wyznaczonych w etapach a) i b). Dla przykładowych wartości z etapów a) i b) uzyskuje się estymaty równe: $D_{\text{est}1} = 537 \mu\text{s}$; $D_{\text{est}2} = 219,5 \mu\text{s}$; $D_{\text{est}3} = 1172 \mu\text{s}$; $D_{\text{est}4} = 537 \mu\text{s}$.

d) Wybierania jednej z estymat spośród par stworzonych z estymat opóźnień dla przesunięć faz wyznaczonych w etapach a) i b), przy czym pary estymat tworzone są z estymat uzyskanych dla różnych wartości nastaw opóźnienia układu opóźniającego 203, wybierana jest estymata spośród pary estymat które najmniej różnią się od siebie. Przykładowe pary estymat to (537 μs ; 1172 μs), (537 μs ; 537 μs), (219,5 μs ; 537 μs), (219,5 μs ; 537 μs), a więc wybierana jest estymata o wartości 537 μs .

e) Wybieranie wartości nastaw opóźnienia układu opóźniającego 203 układu precyzyjnej synchronizacji modułu następującego 200 na podstawie wartości wybranej estymaty opóźnienia, które to nastawy opóźnienia układu opóźniającego 203 odpowiadają przesunięciu fazy o jaką należy opóźnić sygnał zegarowy. W przykładzie należy nastawić układ opóźniający 203 układu precyzyjnej synchronizacji modułu następującego 200 na wartość opóźnienia równą $635 \mu\text{s} - 537 \mu\text{s} = 98 \mu\text{s}$. Jest to wartość prawidłowa z dokładnością do wartości modulo T. Przykładowe opóźnienie między punktami CPP układu precyzyjnej synchronizacji modułu poprzedzającego 100 i układu precyzyjnej synchronizacji modułu następującego 200 wynosi $1172 \text{ mod } 635 = 537 \mu\text{s}$.

f) Konfigurowania układu opóźniającego 203 do opóźniania sygnału zegarowego modułu następującego 200.

Etapy c), d), e) i f) sposobu według wynalazku są w wariacie przykładu realizacji wykonywane przez sterownik 204 układu następującego 200, który to sterownik 204 jest układem nadzorującym 400 synchronizację.

Etapy c), d), e) i f) sposobu według wynalazku są w innym wariacie przykładu realizacji wykonywane przez sterownik 104 układu poprzedzającego 100, który to sterownik 104 jest układem nadzorującym 400 synchronizację.

W wariacie przykładu realizacji wybór estymaty w etapie d) polega na wyznaczeniu wartości średniej spośród dwóch estymat w parze i zwróceniu tej wartości jako wybranej estymaty. W innym wariacie przykładu realizacji wybieranie jednej z estymat w etapie d) polega na wybraniu tej spośród dwóch estymat w parze, która została wyznaczona dla nastaw podziału częstotliwości stosowanych w etapie a) i b) równych 1.

W innym wariacie przykładu realizacji 1. wyznacza się wartość dodatkowego opóźnienia. W jednym z dalszych wariantów konfiguruje się dodatkowe opóźnienie przy pomocy co najmniej jednego dodatkowego układu programowalnego opóźnienia 8. W jeszcze innym dalszym wariacie przykładu realizacji uwzględnia się wyznaczone dodatkowe opóźnienie przy obliczeniach jako dodatkowa poprawka, która przykładowo ułatwia ocenę warunku wyznaczenia opóźnień w etapach a) i b) sposobu według wynalazku.

Jest oczywiste dla znawcy, że funkcjonalności sterownika 4 układu precyzyjnej synchronizacji 1 najłatwiej zrealizować przy pomocy układu programowalnego, który jest przystosowany do wykonywania obliczeń i przekształceń według etapów sposobu według wynalazku. Możliwe jest jednak wykonanie takiego układu jako dedykowanego modułu specjalnego przeznaczenia, jako część składowa układu scalonego lub z wykorzystaniem mikrokontrolera lub innego układu cyfrowego.

Zastrzeżenia patentowe

1. Układ precyzyjnej synchronizacji (1) fazy sygnału zegarowego, zawierający detektor fazy (2), układ opóźniający (3) i sterownik (4), **znamienny tym**, że pierwsze wyprowadzenie (11) układu precyzyjnej synchronizacji (1) jest połączone z pierwszym wyprowadzeniem (51) pierwszego układu przełączającego (5), którego drugie wyprowadzenie (52) jest połączone z pierwszym wyprowadzeniem (61) multiplexera (6), a trzecie wyprowadzenie (53) pierwszego układu przełączającego (5) połączone jest z pierwszym wyprowadzeniem (21) detektora fazy (2), wyjściem (32) układu opóźniającego (3) oraz wyjściem zegarowym (14) układu precyzyjnej synchronizacji (1),

drugie wyprowadzenie (12) układu precyzyjnej synchronizacji (1) jest połączone z wejściem (31) układu opóźniającego (3),

trzecie wyprowadzenie (13) układu precyzyjnej synchronizacji (1) jest połączone z pierwszym wyprowadzeniem (71) drugiego układu przełączającego (7), którego drugie wyprowadzenie (72) jest połączone z drugim wejściem (62) multipleksera (6), a trzecie wyprowadzenie (73) drugiego układu przełączającego (7) połączone jest z pierwszym (21) wejściem detektora fazy (2), wyjściem (32) układu opóźniającego (3) oraz wyjściem zegarowym (14) układu precyzyjnej synchronizacji (1),

ponadto wyjście (63) multipleksera (6) połączone jest z drugim wejściem (22) detektora fazy (2), ponadto układ precyzyjnej synchronizacji (1) zawiera wyprowadzenie sterujące (15) połączone z wyprowadzeniem sterownika (4), który to sterownik jest połączony z wyprowadzeniem sterującym (54) pierwszego układu przełączającego (5), z wyprowadzeniem sterującym (74) drugiego układu przełączającego (7), z co najmniej jednym wyprowadzeniem sterującym (34) układu opóźniającego (3), z wyprowadzeniem sterującym (64) multipleksera oraz z wyjściem (24) detektora fazy (2).

2. Układ precyzyjnej synchronizacji według zastrz. 1 **znamienny tym**, że pierwszy układ przełączający (5) zawiera bufor trójstanowy (55), którego wyprowadzenie sterujące jest połączone z wyprowadzeniem sterującym (54), wejście bufora trójstanowego (55) połączone jest z trzecim wyprowadzeniem (53), wyjście bufora trójstanowego (55) połączone jest z pierwszym wyprowadzeniem (51).
3. Układ precyzyjnej synchronizacji według zastrz. 2 **znamienny tym**, że pierwszy układ przełączający (5) zawiera bufor trójstanowy (55) oraz dodatkowy bufor (56) opóźniający pomiędzy pierwszym wyprowadzeniem (51) a drugim wyprowadzeniem (52) pierwszego układu przełączającego (5).
4. Układ precyzyjnej synchronizacji według zastrz. 1 albo 2, albo 3 **znamienny tym**, że drugi układ przełączający (7) zawiera bufor trójstanowy (75), którego wyprowadzenie sterujące jest połączone z wyprowadzeniem sterującym (74), wejście bufora trójstanowego (75) połączone jest z trzecim wyprowadzeniem (73), wyjście bufora trójstanowego (75) połączone jest z pierwszym wyprowadzeniem (71).
5. Układ precyzyjnej synchronizacji według zastrz. 4 **znamienny tym**, że drugi układ przełączający (7) zawiera bufor trójstanowy (75) oraz dodatkowy bufor (76) opóźniający pomiędzy pierwszym wyprowadzeniem (71) a drugim wyprowadzeniem (72) drugiego układu przełączającego (7).
6. Układ precyzyjnej synchronizacji według któregokolwiek z zastrz. 1–5 **znamienny tym**, że układu opóźniającego (3), zawiera połączony z wejściem (31) układu opóźniającego (3) blok opóźniający (301), którego wyjście jest połączone z wejściem dzielnika częstotliwości (302), którego wyjście jest połączone z wyjściem (32) układu opóźniającego (3), przy czym wyprowadzenie sterujące (341) blokiem opóźniającym (301) oraz wyprowadzenie sterujące (342) dzielnika częstotliwości (302) są połączone z dwoma niezależnymi wyprowadzeniami sterującymi (34) układu opóźniającego (3).
7. Układ precyzyjnej synchronizacji według któregokolwiek z zastrz. 1–6 **znamienny tym**, że zawiera co najmniej jeden dodatkowy układ programowalnego opóźnienia (8).
8. Układ precyzyjnej synchronizacji według zastrz. 7 **znamienny tym**, że wyjście układu programowalnego opóźnienia (8) jest połączone z trzecim wyprowadzeniem (53) pierwszego układu przełączającego (5), przy czym wejście układu programowalnego opóźnienia (8) połączone jest z pierwszym wyprowadzeniem (21) detektora fazy (2) które jest połączone z wyjściem (32) układu opóźniającego (3) oraz z wyjściem zegarowym (14) i z trzecim wyprowadzeniem (73) drugiego układu przełączającego (7).
9. Układ precyzyjnej synchronizacji według któregokolwiek z zastrz. 7–8 **znamienny tym**, że wejście układu programowalnego opóźnienia (8) jest połączone z trzecim wyprowadzeniem (53) pierwszego układu przełączającego (5), które jest połączone z wyjściem (32) układu opóźniającego (3), przy czym wyjście układu programowalnego opóźnienia (8) połączone jest z pierwszym wyprowadzeniem (21) detektora fazy (2) oraz z wyjściem zegarowym (14) i z trzecim wyprowadzeniem (73) drugiego układu przełączającego (7).

10. Układ precyzyjnej synchronizacji według któregokolwiek z zastrz. 7–9 **znamienny tym**, że wejście układu programowalnego opóźnienia (8) jest połączone z trzecim wyprowadzeniem (53) pierwszego układu przełączającego (5), które jest połączone z wyjściem (32) układu opóźniającego (3) oraz z pierwszym wyprowadzeniem (21) detektora fazy (2), przy czym wyjście układu programowalnego opóźnienia (8) połączone jest z wyjściem zegarowym (14) i z trzecim wyprowadzeniem (73) drugiego układu przełączającego (7).
11. Układ precyzyjnej synchronizacji według któregokolwiek z zastrz. 7–10 **znamienny tym**, że wejście układu programowalnego opóźnienia (8) jest połączone z trzecim wyprowadzeniem (53) pierwszego układu przełączającego (5), które jest połączone z wyjściem (32) układu opóźniającego (3) oraz z pierwszym wyprowadzeniem (21) detektora fazy (2), oraz z wyjściem zegarowym (14), przy czym wyjście układu programowalnego opóźnienia (8) połączone jest z trzecim wyprowadzeniem (73) drugiego układu przełączającego (7).
12. Układ precyzyjnej synchronizacji według któregokolwiek z zastrz. 7–11 **znamienny tym**, że wejście układu programowalnego opóźnienia (8) jest połączone z drugim wyprowadzeniem (52) pierwszego układu przełączającego (5), a wyjście układu programowalnego opóźnienia (8) połączone jest z pierwszym wyprowadzeniem (61) multipleksera (6).
13. Układ precyzyjnej synchronizacji według któregokolwiek z zastrz. 7–12 **znamienny tym**, że sterownik układu programowalnego opóźnienia (8) jest połączone z drugim wyprowadzeniem (72) pierwszego układu przełączającego (5), a wyjście układu programowalnego opóźnienia (8) połączone jest z drugim wyprowadzeniem (62) multipleksera (6).
14. Układ precyzyjnej synchronizacji według któregokolwiek z zastrz. 1–13 **znamienny tym**, że sterownik (4) jest połączony z wyprowadzeniem sterującym (64) multipleksera (6).
15. System precyzyjnie synchronizowany sygnałem zegarowym **znamienny tym**, że zawiera co najmniej dwa moduły systemu synchronizowane jednym sygnałem zegarowym, przy czym można wyróżnić moduł poprzedzający i moduł następujący, i przy czym każdy z co najmniej dwóch modułów zawiera układ precyzyjnej synchronizacji fazy sygnału zegarowego określony w zastrz. 1–14, a pierwsze wyprowadzenie (211) układu precyzyjnej synchronizacji modułu następującego (200) połączone jest z trzecim wyprowadzeniem (113) układu precyzyjnej synchronizacji modułu poprzedzającego (100) oraz drugie wyprowadzenie (212) układu precyzyjnej synchronizacji modułu następującego (200) połączone jest z wyjściem zegarowym (114) układu precyzyjnej synchronizacji modułu poprzedzającego (100), dodatkowo sterownik (204) układu precyzyjnej synchronizacji modułu następującego (200) jest połączony ze sterownikiem (104) układu precyzyjnej synchronizacji modułu poprzedzającego (100).
16. System według zastrz. 15 **znamienny tym**, że zawiera układ nadzorujący (400) synchronizację, który jest połączony ze sterownikiem (204) układu precyzyjnej synchronizacji modułu następującego (200) i ze sterownikiem (104) układu precyzyjnej synchronizacji modułu poprzedzającego (100).
17. System według zastrz. 15 **znamienny tym**, że układem nadzorującym (400) synchronizację jest sterownik (204) układu precyzyjnej synchronizacji modułu następującego (200), przy czym jest on połączony bezpośrednio ze sterownikiem (104) układu precyzyjnej synchronizacji modułu poprzedzającego (100).
18. System według zastrz. 15 **znamienny tym**, że układem nadzorującym (400) synchronizację jest sterownik (104) układu precyzyjnej synchronizacji modułu poprzedzającego (100), przy czym jest on połączony ze sterownikiem (204) układu precyzyjnej synchronizacji modułu następującego (200).
19. Sposób precyzyjnej synchronizacji fazy sygnału zegarowego pomiędzy co najmniej dwoma modułami systemu synchronizowanego jednym sygnałem zegarowym, przy czym można wyróżnić moduł poprzedzający i moduł następujący, i przy czym każdy z co najmniej dwóch modułów zawiera układ precyzyjnej synchronizacji (1) fazy sygnału zegarowego określony w zastrz. 1–14 **znamienny tym**, że obejmuje etapy:
 - a) kalibrowania w przód, przy czym kalibracja obejmuje wyznaczanie nastaw opóźnienia układu opóźniającego (203) modułu następującego dla co najmniej dwóch różnych nastaw podziału częstotliwości układu opóźniającego (103) modułu poprzedzającego, przy czym wyznaczenie polega na wybraniu nastaw opóźnienia układu opóźniającego (203) dla minimalnego przesunięcia fazy w detektorze fazy (202) modułu następującego,

- b) kalibrowania w tył, przy czym kalibracja obejmuje wyznaczanie nastaw opóźnienia układu opóźniającego (203) modułu następującego dla co najmniej dwóch nastaw podziału częstotliwości układu opóźniającego (103) modułu poprzedzającego, przy czym wyznaczenie polega na wybraniu nastaw opóźnienia układu opóźniającego (203) dla minimalnego przesunięcia fazy w detektorze fazy (102) układu poprzedzającego, przy czym nastawy podziału częstotliwości układu opóźniającego (103) mają takie same wartości co w etapie a), a następnie
 - c) wyznaczania wartości estymat opóźnień na podstawie informacji o nastawach opóźnienia układu opóźniającego (203) modułu następującego wyznaczonych dla minimalnych przesunięć faz wyznaczonych w etapach a) i b), oraz
 - d) wybierania jednej z estymat spośród par stworzonych z estymat opóźnień dla przesunięć faz wyznaczonych w etapach a) i b), przy czym pary estymat tworzone są z estymat uzyskanych dla różnych wartości nastaw opóźnienia układu opóźniającego (203), wybierana jest estymata spośród pary estymat które najmniej różnią się od siebie, i
 - e) wybieranie wartości nastaw opóźnienia układu opóźniającego (203) modułu następującego na podstawie wartości wybranej estymaty opóźnienia, które to nastawy opóźnienia układu opóźniającego (203) odpowiadają przesunięciu fazy o jaką należy opóźnić sygnał zegarowy, i
 - f) konfigurowania układu opóźniającego (203) do opóźniania sygnału zegarowego modułu następującego.
20. Sposób precyzyjnej synchronizacji według zastrz. 19 **znamienny tym**, że wartości co najmniej dwóch nastaw podziału częstotliwości stosowane w etapie a) i b) wynoszą 0,5 i 1.
 21. Sposób precyzyjnej synchronizacji według zastrz. 19 **znamienny tym**, że wartości co najmniej dwóch nastaw podziału częstotliwości stosowane w etapie a) i b) wynoszą 1 i 2.
 22. Sposób precyzyjnej synchronizacji według zastrz. 19 albo 20, albo 21 **znamienny tym**, że etapy c), d), e) i f) są realizowane przez sterownik (204) układu następującego, który to sterownik (204) jest układem nadzorującym (400) synchronizację.
 23. Sposób precyzyjnej synchronizacji według zastrz. 19 albo 20, albo 21 **znamienny tym**, że etapy c), d), e) i f) są realizowane przez sterownik (104) układu poprzedzającego, który to sterownik (104) jest układem nadzorującym (400) synchronizację.
 24. Sposób precyzyjnej synchronizacji według zastrz. 19 albo 20, albo 21 **znamienny tym**, że etapy c), d), e) i f) są realizowane przez układ nadzorujący (400) synchronizację, który realizuje etapy za pośrednictwem sterownika (104) układu poprzedzającego (100) i przez sterownik (204) układu następującego.
 25. Sposób precyzyjnej synchronizacji według któregośkolwiek z zastrz. 19–24 **znamienny tym**, że wybieranie jednej z estymat w etapie d) polega na wybraniu mniejszej spośród dwóch estymat w parze.
 26. Sposób precyzyjnej synchronizacji według któregośkolwiek z zastrz. 19–25 **znamienny tym**, że wybieranie jednej z estymat w etapie d) polega na wyznaczeniu wartości średniej spośród dwóch estymat w parze.
 27. Sposób precyzyjnej synchronizacji według któregośkolwiek z zastrz. 19–26 **znamienny tym**, że wybieranie jednej z estymat w etapie d) polega na wybraniu tej spośród dwóch estymat w parze, która została wyznaczona dla nastaw podziału częstotliwości stosowanych w etapie a) i b) równych 1.
 28. Sposób precyzyjnej synchronizacji według któregośkolwiek z zastrz. 19–27 **znamienny tym**, że wyznacza się wartość dodatkowego opóźnienia.
 29. Sposób precyzyjnej synchronizacji według któregośkolwiek z zastrz. 19–28 **znamienny tym**, że konfiguruje się dodatkowe opóźnienie przy pomocy co najmniej jednego dodatkowego układu programowalnego opóźnienia (8).
 30. Sposób precyzyjnej synchronizacji według któregośkolwiek z zastrz. 19–29 **znamienny tym**, że uwzględnia się dodatkowe opóźnienie przy obliczeniach.

Rysunki

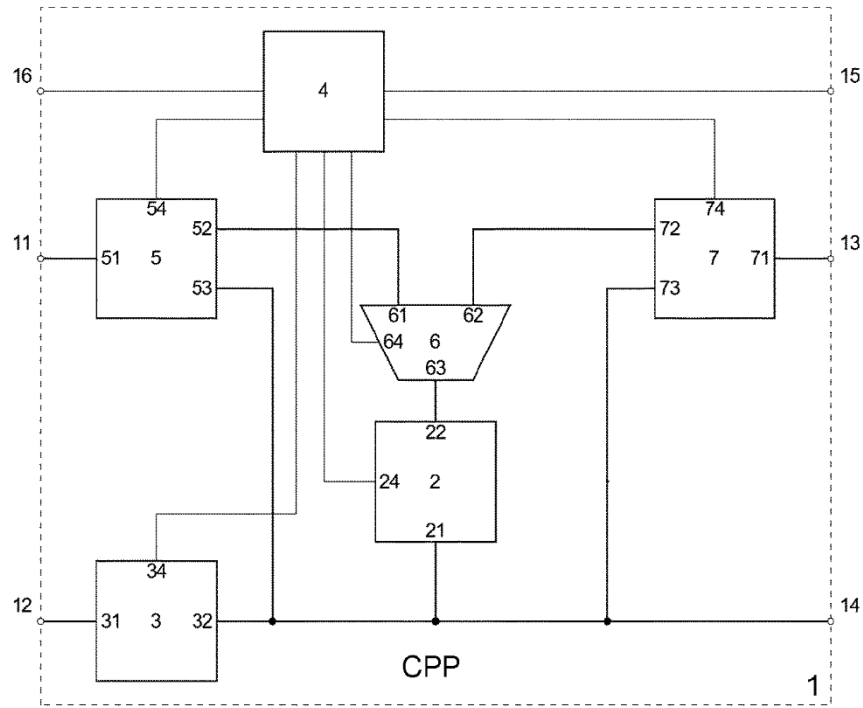


FIG. 1

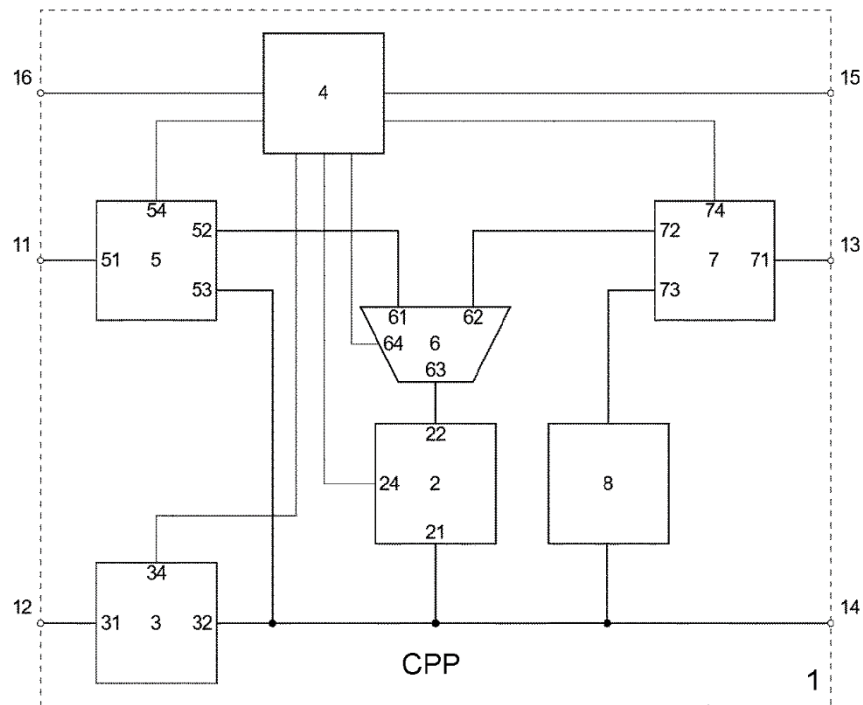


FIG. 2

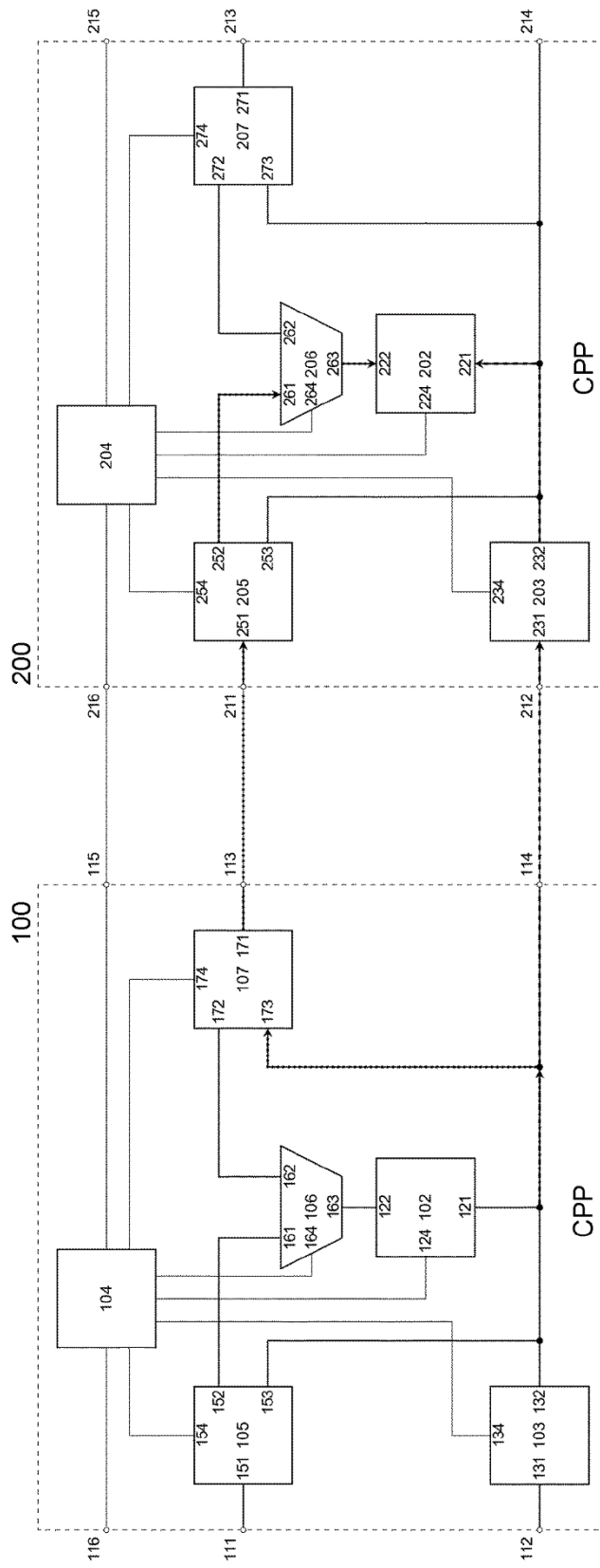


FIG. 3

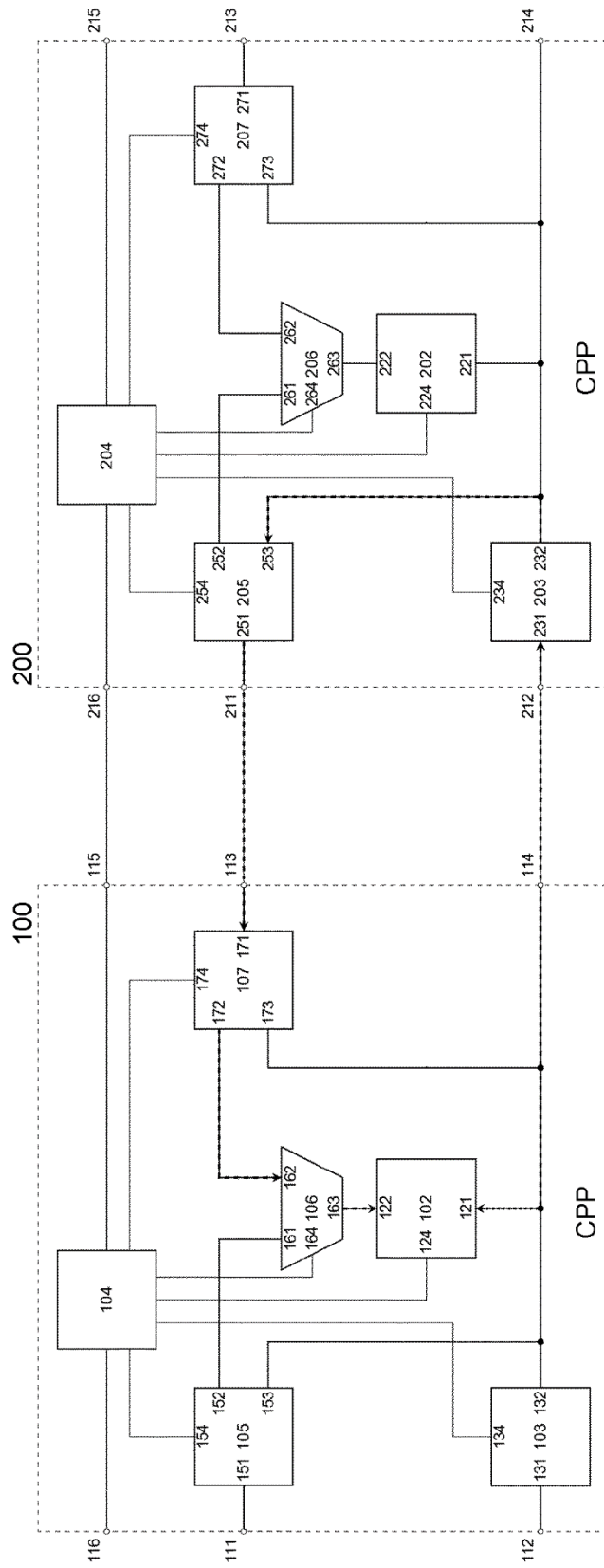


FIG. 4

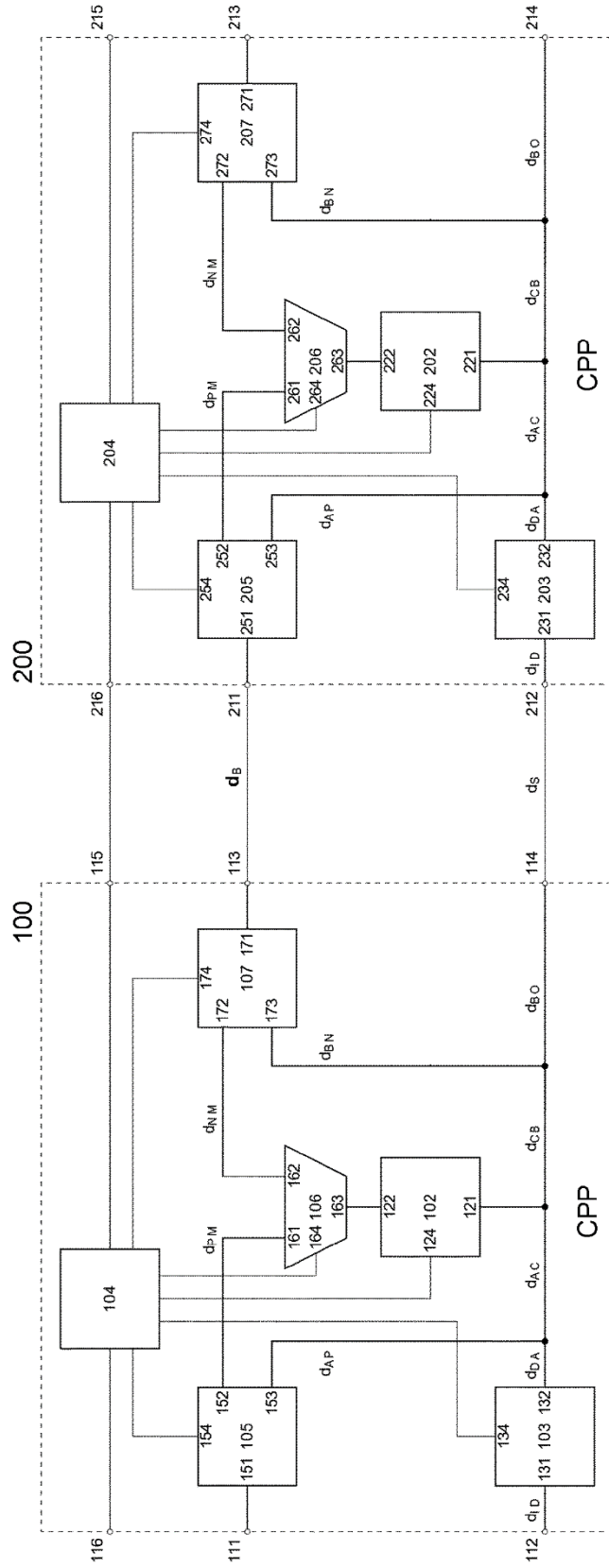


FIG. 5

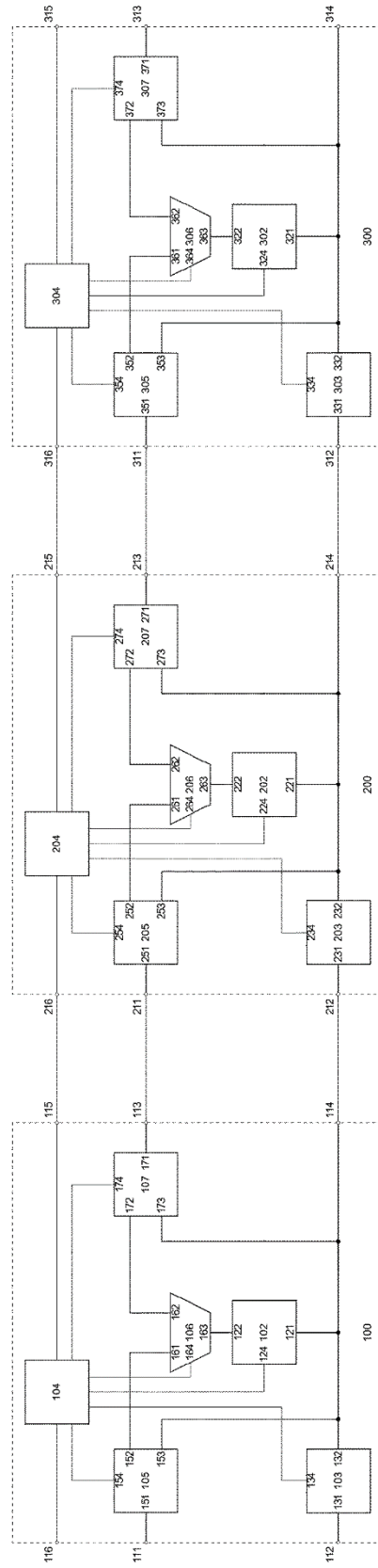


FIG. 6

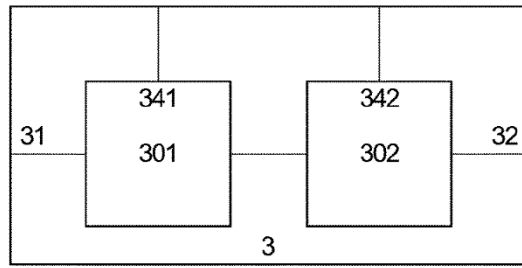


FIG. 7

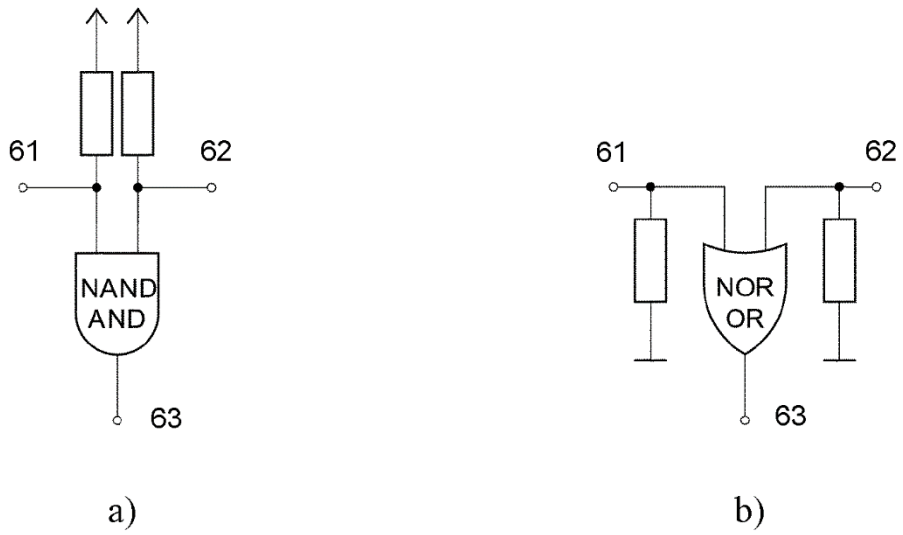


FIG. 8