

RZECZPOSPOLITA
POLSKA



Urząd Patentowy
Rzeczypospolitej Polskiej

(12) **OPIS PATENTOWY**

(19) **PL**

(11) **229198**

(13) **B1**

(21) Numer zgłoszenia: **418795**

(51) Int.Cl.

G06F 15/16 (2006.01)

(22) Data zgłoszenia: **22.09.2016**

(54)

Układ do transmisji danych

(43) Zgłoszenie ogłoszono:

20.11.2017 BUP 24/17

(45) O udzieleniu patentu ogłoszono:

29.06.2018 WUP 06/18

(73) Uprawniony z patentu:

POLITECHNIKA ŚWIĘTOKRZYSKA, Kielce, PL

(72) Twórca(y) wynalazku:

KRZYSZTOF SAPIECHA, Zagnańsk, PL
ROMAN STANISŁAW DENIZIAK, Kraków, PL
ARKADIUSZ CHROBOT, Miedziana Góra, PL
GRZEGORZ ŁUKAWSKI, Kielce, PL
LESZEK ADAM CIOPIŃSKI, Masłów, PL

(74) Pełnomocnik:

rzecz. pat. Antoni Garstka

PL 229198 B1

Opis wynalazku

Przedmiotem wynalazku jest układ do transmisji danych przeznaczony do współpracy z urządzeniami przystosowanymi do korzystania z zewnętrznych pamięci poprzez port USB. Przykładami takich urządzeń są telewizory, sprzęt audio, odtwarzacze multimedialne, tablety oraz komputery, które nie są wyposażone w osobny interfejs sieciowy umożliwiający ich podłączenie do sieci Internet, taki jak karta Ethernet lub WiFi.

Z opisu patentowego US6733329 znane jest przenośne urządzenie do magazynowania danych, bazujące na nieulotnej pamięci półprzewodnikowej, które wyposażone jest w złącze USB i kontroler pamięci. Urządzenie to wykonane jest w postaci układu elektronicznego mieszczącego się na pojedynczej płycie drukowanej. Całość, za wyjątkiem złącza USB, jest zamknięta w obudowie. Oferowana przez urządzenie pojemność pamięci jest określona i ograniczana na etapie wykonania. Jej zwiększenie wymaga ingerencji w fizyczną strukturę urządzenia.

Z opisu patentowego US 8166225 znane jest urządzenie i system transmisji danych przez interfejs USB składający się z układu sterującego interfejsem USB, procesora, pamięci programu, pamięci buforującej dwukierunkowego interfejsu do transmisji danych oraz układu dynamicznej transmisji danych składającego się z modułu wejściowego odpowiedzialnego za pobieranie danych i modułu wyjściowego odpowiedzialnego za wysyłanie danych. Urządzenie przesyła dane między komputerem, a urządzeniem peryferyjnym. Istotą tego rozwiązania jest to, że komputer może programować zachowanie urządzenia zmieniając tryby transmisji danych. Podstawowym trybem transmisji jest dwukierunkowe przesyłanie danych, ale w razie konieczności pobrania dużej ilości danych moduł wyjściowy może zmienić swoją konfigurację i stać się dodatkowym modułem wejściowym. Podobnie, w przypadku konieczności wysłania dużej ilości danych moduł wejściowy może stać się dodatkowym modułem wyjściowym. Rozwiązanie to zwiększa prędkość transmisji danych, jednak nie jest wyposażone w pamięć, która pozwalałaby przechowywać większe ilości danych, ani w interfejsy pozwalające przesyłać dane za pomocą sieci bezprzewodowych.

Z opisu patentowego US 6173355 B1 znany jest system wysyłania i odbierania danych przez magistralę USB z wykorzystaniem pamięci dzielonej między hostem USB, a wieloma urządzeniami, nazywanymi w opisie punktami końcowymi, które mogą pełnić rolę zarówno nadawców, jak i odbiorców danych. System ten składa się z pamięci, która służy do realizacji puli buforów i która może być współdzielona między wieloma punktami końcowymi, z procesora danych, który tworzy pakiety danych do wysłania lub wyodrębnia dane z odebranych pakietów, ze sterownika, który może wysyłać dane od wielu punktów końcowych i co najmniej do jednego hosta USB, oraz z pamięci wskaźnikowej, która przechowuje adresy w pamięci, pod którymi znajdują się odebrane dane. Odbierając dane z dowolnego punktu końcowego system umieszcza je w pierwszym wolnym buforze i zapisuje ich adres w pamięci wskaźnikowej. Po zakończeniu transmisji zbuforowane dane są wysyłane do hosta USB. Adresy buforów zawierających dane pobierane są z pamięci wskaźnikowej. Podobny schemat jest wykorzystywany przy transmisji danych w odwrotnym kierunku, tj. dane są pobierane z hosta USB i umieszczane w pierwszym wolnym buforze, którego adres jest zapisywany w pamięci wskaźnikowej. Po zakończeniu odbioru te dane są przesyłane do odpowiedniego punktu końcowego. System ten pozwala zrównoleglić odbiór i nadawanie danych między wieloma hostami USB i punktami końcowymi.

Z opisu patentowego PL 167608 znany sposób i urządzenie do zarządzania przesyłaniem danych między pamięcią a urządzeniami zewnętrznymi, gdzie zastosowane są niestandardowe połączenia kontrolera DMA przy dostępie do pamięci i urządzeń zewnętrznych. Do zwiększenia płynności transmisji wykorzystane zostały dynamicznie zmieniane priorytety. Opisywane urządzenie, jaki i sposób jego użycia nie pozwala jednak na równoległą obsługę dwóch urządzeń zewnętrznych przy przesyłaniu danych.

Układ do transmisji danych zawierający kontroler USB połączony przez magistralę z procesorem wyposażonym w dodatkowe złącza pamięci oraz w wyjście typu slave dla pamięci podręcznej, pamięć ROM podłączoną do magistrali oraz kontroler DMA, pamięć RAM, pamięć trwałą i interfejs sieciowy, według wynalazku charakteryzuje się tym, że kontroler DMA połączony jest z procesorem poprzez most, a złącze slave procesora podłączone jest do magistrali kontrolera DMA. Złącze slave kontrolera DMA połączone jest z magistralą mostu, do której podłączona jest pamięć RAM, pamięć trwała oraz interfejs sieciowy, przy czym do magistrali procesora podłączony jest przełącznik trybu pracy.

Korzystnie, do procesora podłączony jest bufor TLB.

Układ do transmisji danych nie posiada wad wymienionych w znanych opisach wynalazków. Układ może współpracować z dowolnym urządzeniem, bezpośrednio po podłączeniu go do portu USB.

Ponadto, pozwala uzyskać wysoką wydajność współpracy z rozproszonymi magazynami danych opartymi na koncepcji Skalowanych Rozproszonych Struktur Danych (SDDS).

Przedmiot wynalazku został przedstawiony w przykładzie wykonania na rysunku, w postaci schematu blokowego układu do transmisji danych.

Układ posiada procesor **1**, wyposażony w złącza typu master oraz porty do bezpośredniego podłączenia bloków pamięci **PP1**, **PP2** i bufora TLB **3**. Bloki pamięci **PP1**, **PP2** wykorzystywane są jako pamięć podręczna **2**. Bufor TLB **3** wykorzystywany jest do ustalania miejsca zapisu danych w rozproszonym magazynie, czyli adresów serwerów. Procesor **1** wyposażony jest w wejście typu slave, umożliwiające dostęp do pamięci **2** podłączonej bezpośrednio do procesora **1**. Do wejścia master procesora **1** podłączona jest magistrala **4** procesora, umożliwiająca podłączanie kolejnych komponentów układu.

Do magistrali **4** procesora **1** podłączona jest pamięć ROM **5** oraz kontroler USB **6** pośredniczący w wymianie danych pomiędzy magistralą **4** procesora **1** a szyną USB. Do magistrali **4** podłączony jest most **10**, wejście sterujące w postaci bramki trójstanowej **8** oraz trójstopniowy przełącznik trybu pracy **9** typu switch. Sygnał z kontrolera USB **6** wprowadzony jest do złącza USB **7** poprzez bramkę trójstanową **8**. Umożliwia to odcięcie linii danych układu od szyny USB urządzenia zewnętrznego, przy jednoczesnym pozostawieniu zasilania ze złącza USB **7**, co umożliwia inicjalizację działania układu. Do złącza master mostu **10** podłączona jest magistrala rozszerzeń **12**, do której podłączone są komponenty, do których dostęp jest współdzielony pomiędzy procesorem **1** a układem DMA **11**. Do magistrali rozszerzeń **12** podłączona jest pamięć RAM **13**, pamięć stała **14**, interfejs sieciowy **15** oraz złącze slave układu DMA **11**, co umożliwia programowanie transmisji DMA przez procesor **1**. Wyjście sygnału przerwania układu DMA **11** połączone jest z wejściem sygnału przerwania w procesorze **1**. Do złącza master układu DMA **11** podłączona jest magistrala **16** a do niej podłączone są poprzez swoje złącza slave most **10** i procesor **1**. Umożliwia to układowi DMA **11** swobodny dostęp do pamięci podręcznej procesora **1** oraz dostęp do wszystkich urządzeń magistrali rozszerzeń **12**. Wybór trybu pracy układu do transmisji danych dokonywany jest poprzez odpowiednie ustawienie przełącznika **9**, który również podłączony jest do magistrali **4** procesora **1**. Do magistrali **4** procesora **1** poprzez łącze slave podłączony jest most **10**, którego zadaniem jest odseparowanie magistrali **4** procesora **1** i układu DMA **11** od magistrali rozszerzeń **12**. Przy takiej konfiguracji nie generuje to konfliktów na magistrali pomiędzy komponentami podłączonymi poprzez złącza master. Wyjątkiem jest tu komunikacja z podzespołami podłączonymi do magistrali rozszerzeń **12**. W danej chwili dostęp do urządzeń tej magistrali może mieć tylko procesor **1** lub układ DMA **11**. Takie rozwiązanie ma na celu zapewnienie kompatybilności układu z jak największą liczbą potencjalnych urządzeń docelowych.

Podczas włączania układu, podłączenia go do magistrali USB, procesor **1** wysyła sygnał ustawiający bramkę trój stanową **8** w stan odcięcia od linii danych portu USB. W ten sposób układ jest zasilany, ale nie jest jeszcze widoczny dla hosta USB. Następnie, procesor **1** odczytuje ustawienie przełącznika trybu **9**. Możliwe są cztery przypadki, gdzie układ działa jako czytnik karty SD, urządzenie klienckie rozproszonego magazynu danych, modem internetowy 3G/WiFi lub jako wszystkie te urządzenia równocześnie. Po wybraniu trybu pracy procesor wysyła sygnał odblokowania bramki poprzez magistralę procesora i nawiązuje połączenie. Procesor **1** poprzez most **10** i magistralę rozszerzeń **12** pobiera z pamięci Flash, karty SD lub sieci WiFi/GSM, dane z określonej lokalizacji i umieszcza je w pamięci podręcznej **PP1** lub pamięci **PP2**. Poprzez most **10**, układ DMA **11** komunikuje się z określonym urządzeniem podłączonym do magistrali rozszerzeń **12** i pobiera pierwszą porcję danych. Następnie dane te poprzez złącze slave procesora **1** podłączonego do magistrali **16** DMA **11** zostają zapisane w pamięci podręcznej **PP1**, co jest sygnalizowane zgłoszeniem przerwania przez układ DMA **11**. Procesor **1** ponownie programuje układ DMA do odczytu kolejnej porcji danych, która tym razem zostanie zapisana w drugim bloku pamięci podręcznej **PP2**. Jednocześnie procesor **1** rozpoczyna transmisję danych poprzez kontroler USB **6** podłączony do magistrali **4**. Cykl ten powtarzany jest tak długo, aż wszystkie żądane przez host USB dane zostaną mu przesłane. Zapis danych przebiega w odwrotnej kolejności. Dane przesłane przez host USB zapisywane są w pierwszej pamięci podręcznej **PP1**. Gdy zostanie ona zapełniona, procesor **1** programuje układ DMA **11** do przeniesienia danych na inne urządzenie podłączone do magistrali rozszerzeń **12** – pamięci stałej **14** lub interfejsu sieciowego **15**. W trakcie pracy układu DMA **11**, procesor **1** zapisuje kolejne dane w drugim bloku pamięci podręcznej **PP2**. Schemat ten powtarzany jest do czasu zapisu wszystkich danych nadesłanych przez host USB. Jeżeli w trakcie zapisywania danych połączenie sieciowe jest niemożliwe, to dane nadsyłane przez host USB tymczasowo umieszczane są w pamięci stałej **14** dołączonej do magistrali rozszerzeń **12**.

Zastrzeżenia patentowe

1. Układ do transmisji danych, zawierający kontroler USB połączony przez magistralę z procesorem wyposażonym w dodatkowe złącza pamięci oraz w wyjście typu slave dla pamięci podręcznej, pamięć ROM połączoną do magistrali oraz kontroler DMA, pamięć RAM, pamięć trwałą i interfejs sieciowy, **znamienny tym**, że kontroler DMA (11) połączony jest z procesorem (1) poprzez most (10), a złącze slave procesora (1) połączony jest do magistrali (16) kontrolera DMA (11), przy czym drugie złącze slave kontrolera DMA (11) połączony jest z magistralą (12) mostu (10), do której to magistrali połączona jest pamięć RAM (13), pamięć trwała (14) oraz interfejs sieciowy (15), przy czym do magistrali (4) procesora (1) połączony jest przełącznik trybu pracy (9).
2. Układ, według zastrz. 1, **znamienny tym**, że do procesora (1) połączony jest bufor TLB (3).

Rysunek

