

(19)



URZĄD  
PATENTOWY  
RZECZYPOSPOLITEJ  
POLSKIEJ

(10) **PL 248470 B1**

(12)

## Opis patentowy

(21) Numer zgłoszenia: **445769**

(22) Data zgłoszenia: **2023.08.05**

(43) Data publikacji o zgłoszeniu: **2024.01.15 BUP 03/2024**

(45) Data publikacji o udzieleniu patentu: **2025.12.15 WUP 50/2025**

(51) MKP:

**H03K 3/0233** (2006.01)

**H03K 3/037** (2006.01)

**H03K 3/3562** (2006.01)

(73) Uprawniony z patentu:

**TALKIN THINGS SPÓŁKA AKCYJNA,**  
Warszawa, PL  
**POLITECHNIKA WARSZAWSKA,** Warszawa, PL  
**AMORPHIC TECHNOLOGIES SPÓŁKA**  
**Z OGRANICZONĄ ODPOWIEDZIALNOŚCIĄ,**  
Warszawa, PL

(72) Twórca(-y) wynalazku:

**PIOTR Z. WIECZOREK,** Warszawa, PL  
**KRZYSZTOF GOŁOFIT,** Warszawa, PL

(74) Pełnomocnik:

rzecz. pat. Krzysztof Gołofit, Warszawa, PL

(54) Tytuł:

**Przerzutnik bistabilny**

**PL 248470 B1**

## Opis wynalazku

Przedmiotem wynalazku jest przerzutnik bistabilny typu master-slave zwłaszcza do dzielników częstotliwości stosowanych w znacznikach RFID NFC.

Znany jest z niemieckiego wynalazku DE102004009283A1 przerzutnik bistabilny typu master-slave, w którym odwrócenie między blokiem nadrzędnym i podrzędnym (1, 2) nie odbywa się przez włączanie i wyłączanie odpowiednich źródeł prądu w rzeczywistym sensie, ale raczej przez wywieranie odwracającego prądu kompensacyjnego. Prąd kompensacji jest używany do kompensacji prądu tych źródeł prądu, których związany z nimi stopień różnicowy lub podtrzymujący (3, 4, 5, 6) jest wyłączony. Dzięki zaproponowanej zasadzie możliwe jest zmniejszenie napięcia zasilania i jednocześnie utworzenie dzielnika częstotliwości dla zakresu gigaherców dzięki niskim pojemnościom pasożytniczym układu, który można w pełni zintegrować w technologii układów MOS.

W szczególności, układ przerzutnika znany z tego wynalazku posiada dwie pary układów różnicowych, w których tranzystory MOS tego samego typu połączone są źródłami oraz których drena dołączone są do napięcia zasilania poprzez rezystory, gdzie bramki tranzystorów dołączone są do drenów komplementarnych tranzystorów w parze i których bramki są dołączone są wzajemnie do drenów kolejnych tranzystorów w innej parze. Przerzutnik posiada także trzecią i czwartą parę tranzystorów, w których tranzystory MOS tego samego typu połączone są źródłami oraz których drena dołączone są do kolejno do drenów tranzystorów pierwszych dwóch par. Natomiast bramki tranzystorów trzeciej pary dołączone są kolejno do drenów tranzystorów czwartej pary, a bramki tranzystorów czwartej pary dołączone są w odwrotnej kolejności do drenów tranzystorów trzeciej pary.

Znany jest w stanie techniki dzielnik Millera, na przykład z publikacji Meister, T, Ishida, K., Sou, A., Carta, C, & Ellinger, F. „3.93-MHz/328- $\mu$ W dynamie frequency divider in flexible a-IGZO TFT technology”, IEEE Solid-State Circuits Letters, 3, pp. 134–137, 2020, DOI: 10.1109/LSSC.2020.3008027, w której przedstawiono implementację dynamicznego dzielnika częstotliwości w technologii w pełni elastycznego amorficznego indowo-galowego tlenkowo cynkowego (a-IGZO) tranzystora cienkowarstwowego (TFT) na podłożu poliamidowym poniżej 15  $\mu$ m. Ten dzielnik częstotliwości jest regeneracyjny i jest również znany jako dzielnik Millera. Posiada on różnicowe wejścia i różnicowe wyjścia oraz przynajmniej jeden układ różnicowy, w którym tranzystory a-IGZO TFT typu „n” połączone są źródłami oraz których drena dołączone są do napięcia zasilania poprzez rezystory. Publikacja pokazuje, że przedstawiony układ jest bardziej energooszczędny niż poprzednie prace w podobnych technologiach i że może być używany jako czwarty i późniejszy stopień dzielnika częstotliwości w znaczniku RFID lub NFC 13,56 MHz.

Znany jest z japońskiego wynalazku JPH0730381A przerzutnik bistabilny typu master-slave. Celem wynalazku było uzyskanie przerzutnika typu master-slave, w który można zwiększyć maksymalną częstotliwość, bez wzrostu powierzchni układu i bez wzrostu zużycia energii. Przerzutnik bistabilny typu master-slave obwód zatrzaskowy po stronie master 100 wyposażony w wiele tranzystorów FET, obwód zatrzaskowy po stronie slave 200 i obwód buforowy 300. Szerokości bramek tranzystorów FET tworzących obwód zatrzaskowy po stronie master 100, obwód zatrzaskowy po stronie slave 200 i obwód buforowy 300 są tak określone, że obciążalność wyjść obwodu zatrzaskowego po stronie master 100 staje się równa obciążalności obwodu zatrzasku po stronie slave 200.

Znane są w stanie techniki, w szczególności w inżynierii dotyczącej elektroniki, systemy (zdalnej) identyfikacji radiowej RFID (od ang. radio-frequency identification), a w szczególności komunikacja bliskiego zasięgu NFC (od ang. near-field communication). Znane są w stanie techniki tranzystory połowę (FET – od ang. field-effect transistor) z izolowaną bramką, tranzystory cienkowarstwowe (TFT – od ang. thin-film transistor), jak również tranzystory oparte na indowo-galowym tlenku cynku (IGZO lub InGaZnO – od ang.: indium (In), gallium (Ga), zinc (Zn), oxygen (O)). Wiadome też jest, że oznaczenie drenu i źródła tych tranzystorów jest umowne, gdyż ze względu na symetryczną budowę tranzystora zamiana tych oznaczeń nie zmienia funkcjonalności tranzystora czy układu, w którym się on znajduje – nazewnictwo to ma jednak charakter porządkujący.

Celem wynalazku jest stworzenie szybkiego przerzutnika dla dzielnika, który rozwiąże problem zbyt powolnego działania technologii a-IGZO TFT dla celów RFID i NFC, przy stosunkowo małym zapotrzebowaniu na moc, małej powierzchni układu oraz małej wrażliwości na zakłócenia napięcia zasilania.

Istota rozwiązania polega na tym, że w przerzutniku bistabilnym posiadającym pierwszą parę tranzystorów i drugą parę tranzystorów, gdzie dreny tranzystorów dołączone są do zacisku zasilającego poprzez rezystory, w których to parach tranzystory są połączone ze sobą źródłami, a każda bramka tranzystora dołączona jest do drenu drugiego tranzystora w danej parze, oraz posiadającym trzecią parę tranzystorów i czwartą parę tranzystorów, gdzie tranzystory w parach są połączone ze sobą źródłami, a połączone źródła są dołączone do drenów tranzystorów zegarowych tak, że źródła trzeciej pary tranzystorów dołączone są do tranzystora zegarowego, którego bramka dołączona jest do zacisku wejściowego niezanegowanego, a źródła czwartej pary tranzystorów dołączone są do tranzystora zegarowego, którego bramka dołączona jest do zacisku wejściowego zanegowanego, przy czym dreny tranzystorów trzeciej pary dołączone są kolejno do drenów tranzystorów pierwszej pary, a dreny tranzystorów czwartej pary dołączone są kolejno do drenów tranzystorów drugiej pary, natomiast bramki tranzystorów trzeciej pary dołączone są kolejno do drenów tranzystorów czwartej pary, a bramki tranzystorów czwartej pary dołączone są w odwrotnej kolejności do drenów tranzystorów trzeciej pary, gdzie zacisk wyjściowy niezanegowany dołączony jest do drenu drugiego tranzystora czwartej pary, a zacisk wyjściowy zanegowany dołączony jest do drenu pierwszego tranzystora czwartej pary, zgodnie z wynalazkiem, źródła tranzystorów pierwszej i drugiej pary dołączone są do masy układu oraz źródła tranzystorów zegarowych dołączone są do masy układu, a do drenu drugiego tranzystora zegarowego dołączony jest zacisk wstrzykiwania ładunku.

Efektym technicznym takiego układu jest to, że przerzutnik jest dwustopniowy, różnicowy, typu D oraz nie wymaga dodatkowych podukładów, dzięki czemu cechuje się bardzo małą liczbą podzespołów, a ponadto jest szybki i oszczędny energetycznie.

Natomiast możliwość wstrzykiwania ładunku pozwala na uzyskanie dodatkowej szybkości układu.

Korzystnie, przerzutnik wyposażony jest w zacisk wejściowy ustawiania, który dołączony jest do bramek dwóch tranzystorów, których źródła dołączone są do masy układu, a dren pierwszego tranzystora dołączony jest do drenu pierwszego tranzystora czwartej pary, natomiast dren drugiego tranzystora dołączony jest do drenu pierwszego tranzystora trzeciej pary. Dzięki temu możliwe jest wstępne ustawienie wartości logicznej przerzutnika.

Korzystnie, przerzutnik pracuje zasadniczo na częstotliwości 13,56 MHz sygnału wejściowego. Dzięki temu możliwe jest zastosowanie układu do realizacji standardu NFC.

Korzystnie, napięcie zasilania układu jest napięciem pochodzącym z harwestowania sygnału radiowego. Napięcie pochodzące z harwestowania sygnału radiowego zwykle jest napięciem dalekim od idealnego napięcia zasilania, gdyż jest zniekształcone sygnałem o częstotliwości fali nośnej, a jego zasadnicza amplituda może się zmieniać w zależności od odległości anteny od źródła, odbieranej modulacji oraz przeprowadzanej modulacji. W związku z tym układ musi być odporny na tego typu zakłócenia i zaburzenia.

Korzystnie, wszystkie tranzystory w układzie są tranzystorami FET typu „n”. Zastosowanie jednego typu tranzystorów polowych FET z izolowaną bramką upraszcza proces technologiczny realizacji układu.

Korzystnie, wszystkie tranzystory w układzie są tranzystorami typu TFT. Zastosowanie tranzystorów cienkowarstwowych TFT pozwala na wykonanie taniego i/lub giętkiego układu scalonego.

Korzystnie, kanały tranzystorów wykonane są z amorficznego materiału półprzewodnikowego. Zastosowanie amorficznego materiału półprzewodnikowego zapewnia niski koszt wytwarzania tranzystorów (w relatywnie niskich temperaturach).

Korzystnie, tranzystory zawierają indowo-galowy tlenek cynku. Zastosowanie indowo-galowego tlenku cynku (IGZO) zapewnia relatywnie wysoki parametr mobilności nośników.

Korzystnie, tranzystory pierwszej i drugiej pary są takie same pod względem stosunku szerokości do długości kanałów. Tranzystory trzeciej pary są takie same pod względem stosunku szerokości do długości kanałów, przy czym stosunek ten jest od 2 do 4 razy większy w odniesieniu do pierwszych dwóch par. Tranzystory czwartej pary są takie same pod względem stosunku szerokości do długości kanałów, przy czym stosunek ten jest od 1,5 do 2,5 razy większy w odniesieniu do pierwszych dwóch par. Tranzystory zegarowe mają stosunek szerokości do długości kanałów od 3 do 5 razy większy w odniesieniu do pierwszych dwóch par. Takie stosunki wymiarów tranzystorów zapewniają minimalizację czasu ustalania i podtrzymania przy wpisywaniu danych do sekcji master i slave. Ponadto moc spoczynkowa przerzutnika jest mała.

Przykład wykonania został uwidoczniiony na rysunku, na którym fig. 1 przedstawia schemat ideowy bistabilnego przerzutnika.

Przerzutnik bistabilny w przykładzie wykonania przedstawionym na fig. 1 posiada pierwsze dwie pary tranzystorów **T2** i **T3** oraz **T7** oraz **T8** połączone drenami tranzystorów do zacisku zasilającego **HRV** przez rezystory **R1**, **R2**, **R3** i **R4**. Tranzystory w parach połączone są ze sobą źródłami **T2** i **T3** oraz **T7** i **T8**, które dołączone są do masy **gnd**. Każda bramka tranzystora dołączona jest do drenu drugiego tranzystora w danej parze. Przerzutnik posiada także kolejne dwie pary tranzystorów **T1** i **T4** oraz **T6** i **T9**, gdzie tranzystory w parach są połączone ze sobą źródłami, a źródła dołączone są do drenów tranzystorów zegarowych **T5** i **T10**, których źródła dołączone są do masy **gnd**. Bramka pierwszego z tranzystorów zegarowych **T5** dołączona jest do zacisku wejściowego niezanegowanego **CLK** przerzutnika, a bramka drugiego **T10** do zacisku wejściowego zanegowanego **nCLK**. Dreny tranzystorów trzeciej pary **T1** i **T4** dołączone są kolejno do drenów tranzystorów pierwszej pary **T2** i **T3**. Dreny tranzystorów czwartej pary **T6** i **T9** dołączone są kolejno do drenów tranzystorów drugiej pary **T7** i **T8**. Bramki tranzystorów trzeciej pary **T1** i **T4** dołączone są kolejno do drenów tranzystorów czwartej pary **T6** i **T9**, a bramki tranzystorów czwartej pary **T6** i **T9** dołączone są w odwrotnej kolejności do drenów tranzystorów trzeciej pary **T1** i **T4**. Zacisk wyjściowy niezanegowany **Q** przerzutnika dołączony jest do drenu drugiego tranzystora czwartej pary **T9**, a zacisk wyjściowy zanegowany **nQ** dołączony jest do drenu pierwszego tranzystora czwartej pary **T6**. Do drenu drugiego tranzystora zegarowego **T10** dołączony jest zacisk wstrzykiwania ładunku **CI**. Przerzutnik wyposażony jest także w zacisk wejściowy ustawiania **Set**, który dołączony jest do bramek dwóch tranzystorów **Ts1** i **Ts2**, których źródła dołączone są do masy układu, a dren pierwszego tranzystora **Ts1** dołączony jest do drenu pierwszego tranzystora czwartej pary **T6**, natomiast dren drugiego tranzystora **Ts2** dołączony jest do drenu pierwszego tranzystora trzeciej pary **T1**.

Mimo, iż ogólna konstrukcja przerzutnika jest podobna dla kolejnych stopni dzielnika, któremu dedykowany jest przerzutnik, to każdy stopień dzielnika jest realizowany odpowiednio do jego potrzeb, to znaczy wykorzystuje różne rozmiary tranzystorów – na przykład różne rozmiary tranzystorów **T2**, **T3**, **T7**, **T8** do utrzymywania (w ramach pętli dodatniego sprzężenia zwrotnego) i przełączania stanów logicznych (tranzystory **T1**, **T4**, **T6**, **T9**) podczas aktywnych zboczy zegara. Zastosowanie minimalnych dozwolonych rozmiarów tranzystorów ( $W = 5 \mu\text{m}$ ,  $L = 0,8 \mu\text{m}$ ) w pętlach sprzężenia zwrotnego przerzutnika oraz większych rozmiarów tranzystorów ( $W \geq 8 \mu\text{m}$ ,  $L = 0,8 \mu\text{m}$ ) do dynamicznego przełączania danych minimalizuje statyczny pobór mocy całego dzielnika.

Ponadto, w zależności od tego, czy przerzutnik jest wykorzystywany jako pierwszy stopień, czy jako kolejne, główne różnice polegają na dodatkowym mechanizmie wstrzykiwania ładunku **CI** oraz topografii układu scalonego minimalizującą pojemności pasożytnicze. Pierwszy, najszybszy stopień wykorzystuje górne warstwy metalizacji, aby zminimalizować pojemności pasożytnicze na skrzyżowaniach ścieżek metalizacji niższych warstw. W przypadku, gdy przerzutnik pracuje jako pierwszy stopień, bramka tranzystora **T5** wejścia niezanegowanego **CLK** sterowana będzie bezpośrednio z anteny radiowej, która dostarcza wyższe chwilowe prądy odpowiedzialne za przepływ ładunku w ich pojemnościach bramka-źródło, w przeciwieństwie do pojemności bramka-źródło tranzystora **T10** na wejściu zanegowanym **nCLK**, który musi być napędzany pośrednio przez układ odwracający. Aby przyspieszyć przełączanie tego tranzystora **T10** przez wejście **CI** wprowadzany jest dodatkowy ładunek do pojemności bramka-źródło tranzystorów **T6** i **T9** podczas opadającego zbocza sygnału radiowego.

Logiczna jedynka na zegarze **CLK** obniża potencjały źródeł tranzystorów **T1** i **T4**, przenosząc **T1** do trydowego obszaru działania, powodując gwałtowny spadek napięcia na **T1**, powodując odcięcie **T3** i zainicjowanie procesu przerzutów w parze tranzystorów **T2-T3**. Początek procesu przełączania **T2-T3** jest widoczny, gdy napięcie drenu tranzystora **T3** zaczyna rosnąć, a pętla dodatniego sprzężenia zwrotnego ma tendencję do przesterowania bramki **T2**, przyspieszając odcięcie **T3**. Proces ten trwa nieprzerwanie dopóki logiczna jedynka znajduje się na wejściu niezanegowanym zegara **CLK**. Natomiast przeciwna sytuacja, tj. logiczna jedynka na zanegowanym wejściu zegarowym **nCLK**, obniża potencjały źródeł **T6** i **T9**, i ostatecznie włącza **T6** z powodu uprzedniego przełączenia na drenie **T3**. Cały proces przełączania powtarza się co połowę okresu fali nośnej.

Ze względu na stosunkowo duże pojemności bramkowo-źródłowe tranzystorów **T6** i **T9**, stanowiące obciążenie drenu tranzystora **T10** oraz obecność jego pojemności bramka-dren, zaproponowano mechanizm kompensacyjny z wykorzystaniem wejścia **CI**. Za każdym razem, gdy sygnał zegarowy wymusza zbocze narastające na bramce **T10**, a dren **T10** obniża pojemności **T6** i **T9**, na sygnale radiowym występuje zbocze opadające. Z tego względu zaleca się zastosowanie dodatkowej pojemności między

sygnałem radiowym a wejściem **Cl**, aby skompensować pojemnościowy charakter obciążenia drenu **T10**, a tym samym przyspieszyć proces przełączania **T10**.

Należy też zwrócić uwagę, że blok slave przerzutnika, tj. **T7-T8**, jest przeznaczony do pracy z częstotliwością fali nośnej przy minimalnym rozpraszaniu mocy. Dlatego wyjścia całego przerzutnika master-slave, tj. **Q** i **nQ**, (tj. dreny **T8** i **T7**) pierwszego stopnia dzielnika nie są przeznaczone do efektywnego napędzania dużych obciążeń pojemnościowych z szybkością narastania odpowiadającą połowie częstotliwości fali nośnej. Zatem użycie tych wyjść przy częstotliwościach granicznych układu może wymagać dodatkowego wzmocnienia sygnałów.

Wykorzystanie wejścia **Set** pozwala na wstępne ustawienie wartości logicznej przerzutnika, co przy wielu stopniach tego typu w dzielniku częstotliwości pozwala na dopasowanie fazy sygnału zegarowego dzielnika. Możliwa jest także optymalizacja zużycia energii w zależności od częstotliwości, na jakiej dany stopień (przerzutnik) musi pracować. Wykonuje się to przez dobór stosunku W/L tranzystorów i odpowiadających im rezystorów w drenach.

Wynalazek pozwala na podzielenie częstotliwości nośnej sygnału radiowego RFID i wykorzystanie w dzielniku częstotliwości przy wykorzystaniu powolnych tranzystorów jednego typu – w szczególności procesu technologicznego wykorzystującego a-IGZO TFT. Przemysłowe zastosowanie wynalazku znajduje się w przemyśle i rynku produktów wymagających indywidualnych oznakowań elektronicznych.

### Zastrzeżenia patentowe

1. Przerzutnik bistabilny posiadający pierwszą parę tranzystorów (T2, T3) i drugą parę tranzystorów (T7, T8), gdzie dreny tranzystorów (T2, T3, T7, T8) dołączone są do zacisku zasilającego (HRV) poprzez rezystory (R1, R2, R3, R4), w których to parach tranzystory są połączone ze sobą źródłami (T2, T3), (T7, T8), a każda bramka tranzystora dołączona jest do drenu drugiego tranzystora w danej parze, oraz posiadający trzecią parę tranzystorów (T1, T4) i czwartą parę tranzystorów (T6, T9), gdzie tranzystory w parach są połączone ze sobą źródłami (T1, T4), (T6, T9), a połączone źródła są dołączone do drenów tranzystorów zegarowych tak, że źródła trzeciej pary tranzystorów (T1, T4) dołączone są do tranzystora zegarowego (T5), którego bramka dołączona jest do zacisku wejściowego niezanegowanego (CLK), a źródła czwartej pary tranzystorów (T6, T9) dołączone są do tranzystora zegarowego (T10), którego bramka dołączona jest do zacisku wejściowego zanegowanego (nCLK), przy czym dreny tranzystorów trzeciej pary (T1, T4) dołączone są kolejno do drenów tranzystorów pierwszej pary (T2, T3), a dreny tranzystorów czwartej pary (T6, T9) dołączone są kolejno do drenów tranzystorów drugiej pary (T7, T8), natomiast bramki tranzystorów trzeciej pary (T1, T4) dołączone są kolejno do drenów tranzystorów czwartej pary (T6, T9), a bramki tranzystorów czwartej pary (T6, T9) dołączone są w odwrotnej kolejności do drenów tranzystorów trzeciej pary (T1, T4), gdzie zacisk wyjściowy niezanegowany (Q) dołączony jest do drenu drugiego tranzystora czwartej pary (T9), a zacisk wyjściowy zanegowany (nQ) dołączony jest do drenu pierwszego tranzystora czwartej pary (T6), **znamienny tym**, że źródła tranzystorów pierwszej i drugiej pary (T2, T3, T7, T8) dołączone są do masy układu (gnd), oraz tym, że źródła tranzystorów zegarowych (T5, T10) dołączone są do masy układu (gnd), oraz tym że do drenu drugiego tranzystora zegarowego (T10) dołączony jest zacisk wstrzykiwania ładunku (Cl).
2. Przerzutnik bistabilny wg zastrz. 1, **znamienny tym**, że wyposażony jest w zacisk wejściowy ustawiania (Set), który dołączony jest do bramek dwóch tranzystorów (Ts1, Ts2), których źródła dołączone są do masy układu, a dren pierwszego tranzystora (Ts1) dołączony jest do drenu pierwszego tranzystora czwartej pary (T6), natomiast dren drugiego tranzystora (Ts2) dołączony jest do drenu pierwszego tranzystora trzeciej pary (T1).
3. Przerzutnik bistabilny wg zastrz. 1 albo 2, **znamienny tym**, że pracuje zasadniczo na częstotliwości 13,56 MHz sygnału wejściowego.
4. Przerzutnik bistabilny wg zastrz. 1 albo 2 albo 3, **znamienny tym**, że napięcie zasilania układu jest napięciem pochodzącym z harwestowania sygnału radiowego.
5. Przerzutnik bistabilny wg dowolnego z zastrz. od 1 do 4, **znamienny tym**, że wszystkie tranzystory w układzie są tranzystorami FET typu „n”.

6. Przerzutnik bistabilny wg dowolnego z zastrz. od 1 do 5, **znamienny tym**, że wszystkie tranzystory w układzie są tranzystorami typu TFT.
7. Przerzutnik bistabilny wg dowolnego z zastrz. od 1 do 6, **znamienny tym**, że kanały tranzystorów wykonane są z amorficznego materiału półprzewodnikowego.
8. Przerzutnik bistabilny wg dowolnego z zastrz. od 1 do 7, **znamienny tym**, że tranzystory zawierają indowo-galowy tlenek cynku.
9. Przerzutnik bistabilny wg dowolnego z zastrz. od 1 do 8, **znamienny tym**, że tranzystory pierwszej i drugiej pary (T2, T3), (T7, T8) są takie same pod względem stosunku szerokości do długości kanałów, oraz tym, że tranzystory trzeciej pary (T1, T4) są takie same pod względem stosunku szerokości do długości kanałów, przy czym stosunek ten jest od 2 do 4 razy większy w odniesieniu do pierwszych dwóch par, oraz tym, że tranzystory czwartej pary (T6, T9) są takie same pod względem stosunku szerokości do długości kanałów, przy czym stosunek ten jest od 1,5 do 2,5 razy większy w odniesieniu do pierwszych dwóch par, oraz tym, że tranzystory zegarowe (T5, T10) mają stosunek szerokości do długości kanałów od 3 do 5 razy większy w odniesieniu do pierwszych dwóch par.

Rysunek

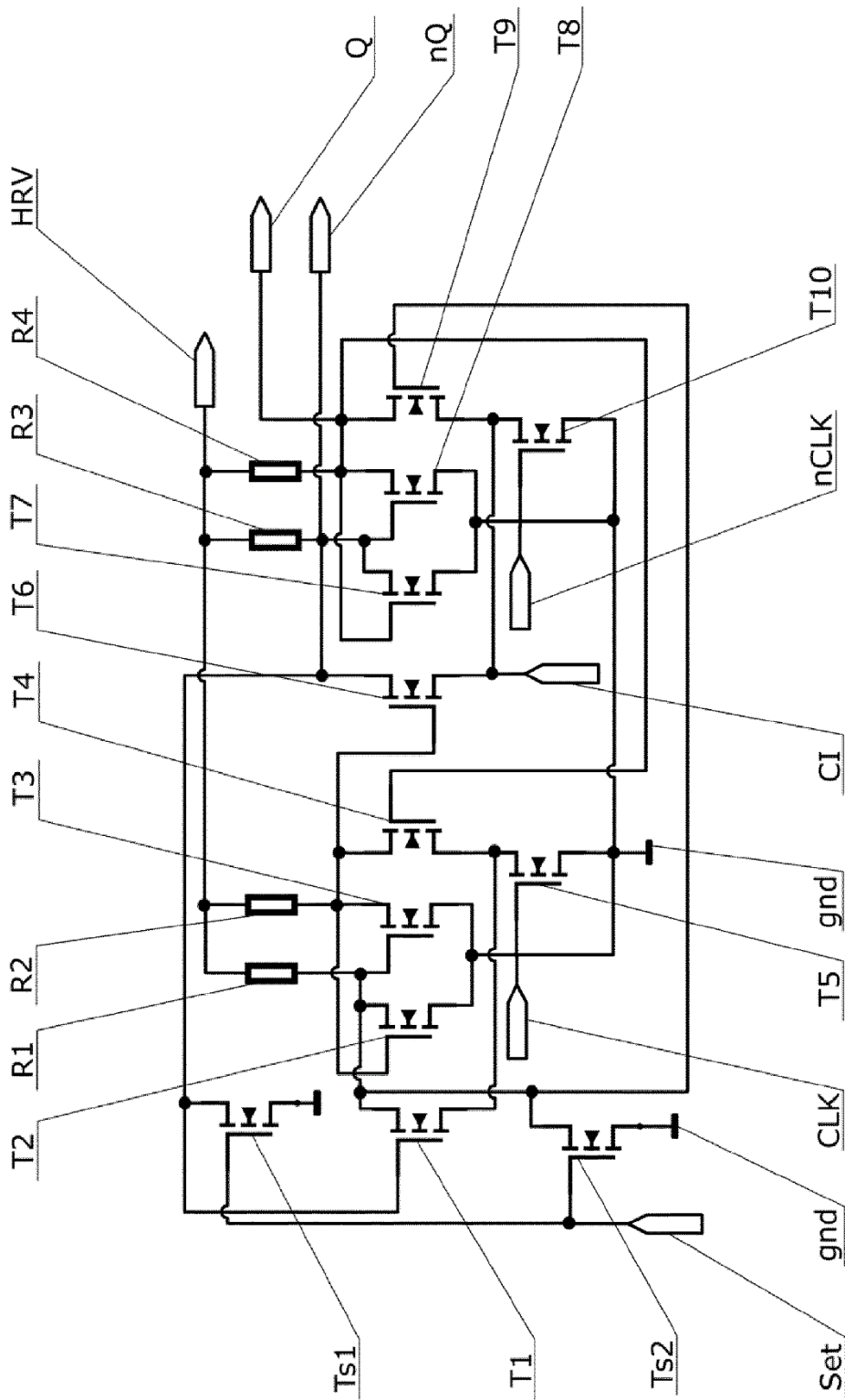


Fig. 1