

(19)



URZĄD
PATENTOWY
RZECZYPOSPOLITEJ
POLSKIEJ

(10)

PL 441685 A1

(12)

Opis zgłoszeniowy wynalazku (z daty zgłoszenia)

(21) Numer zgłoszenia: 441685

(22) Data zgłoszenia: 2022.07.08

(43) Data publikacji o zgłoszeniu: 2024.01.15 BUP 03/2024

(51) MKP:

G01R 31/28 (2006.01)

G01R 31/26 (2020.01)

H03K 17/08 (2006.01)

H02M 1/08 (2006.01)

H02H 7/12 (2006.01)

(71) Zgłaszający:

POLITECHNIKA WARSZAWSKA,
Warszawa, PL

(72) Twórca(-y):

MICHAŁ ROLAK, Warszawa, PL

(74) Pełnomocnik:

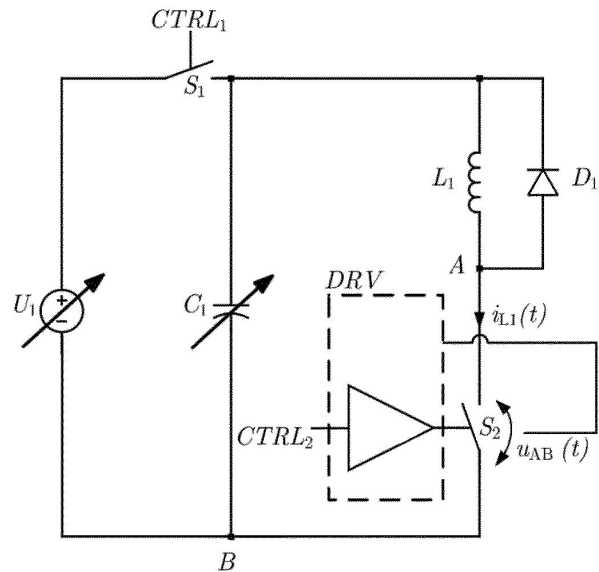
rzecz. pat. Oliwia Czarnocka, Warszawa, PL

(54) Tytuł:

Układ i sposób wytwarzania kontrolowanych zwarciovych impulsów prądowych zapewniających możliwość weryfikowania poprawności działania zabezpieczeń sterowników bramkowych tranzystorów mocy, zapewniających nieniszczący i powtarzalny charakter testów

(57) Skróć opisu:

Przedmiotem zgłoszenia jest przedstawiony na rysunku układ i sposób generowania impulsu prądowego imitującego zwarcie, zapewniający wykrycie zwarcia i umożliwiający zadziałanie zabezpieczenia przeciwzwarciowego i zapewniający nieniszczące warunki dla rzeczywistego zabezpieczanego tranzystora w przypadku niezadziałania zabezpieczenia.



Układ i sposób wytwarzania kontrolowanych zwarciovych impulsów prądowych zapewniających możliwość weryfikowania poprawności działania zabezpieczeń sterowników bramkowych tranzystorów mocy, zapewniających nieniszczący i powtarzalny charakter testów

Przedmiotem wynalazku jest układ i sposób wytwarzania sztucznych warunków zwarcia w tranzystorze, pozwalających na wielokrotne, bezpieczne testowanie zabezpieczeń przetężeniowych w prototypowanych sterownikach bramkowych, tak aby w razie ich niezadziałania uniknąć uszkodzenia tranzystorów mocy, które mają być przez nie zabezpieczone. Zaprezentowany sposób bazuje na elastycznym kształtowaniu odpowiedniego impulsu prądowego o maksymalnej wartości kilkunastokrotnie przekraczającej wartość znamionową, przy jednoczesnym zapewnieniu właściwego czasu jego trwania, pozwalającego na testowanie skuteczności działania opracowywanego zabezpieczenia sterownika bramkowego. Opisywana metoda, bazująca na parametrach dostępnych w nocy katalogowej tranzystora, a także na doborze odpowiednich wartości napięcia przewodzenia diody zwrotnej oraz wartości elementów biernych, pozwala na wyznaczenie bezpiecznych wartości pojemności obwodu pośredniczącego napięcia stałego, a także wartości napięcia zasilania układu testowego uniemożliwiającego uszkodzenie struktury krzemowej wskutek przegrzania, czy też uszkodzenia doprowadzeń wewnątrz obudowy tranzystora łączących strukturę krzemową z zaciskami zewnętrznymi tranzystora mocy (tzw. z ang. bonding-wires - BW), w przypadku nieudanej próby testowej.

Stan techniki:

Nowoczesne urządzenia przetwarzające energię elektryczną jakimi są przekształtniki energoelektroniczne bazują przede wszystkim na półprzewodnikowych elementach mocy jakimi są głównie tranzystory IGBT oraz MOSFET. W celu ich poprawnego wysterowania stosuje się odpowiednie układy scalone jakimi są sterowniki bramkowe (tzw. z ang. driver - DRV). Poza szybkim dostarczeniem energii do tranzystora w celu jego poprawnego załączenia/wyłączenia te złożone układy oferują szereg dodatkowych funkcji, spośród których najważniejszą są zabezpieczenia przeciwzwarciove. Bazują one na wykryciu zwiększonego

napięcia na głównych zaciskach prądowych A-B tranzystora (np. S_2 na fig. 1), które odpowiadają napięciu Kolektor-Emiter lub Dren-Źródło - odpowiednio dla technologii IGBT i MOSFET.

Niekorzystne zjawisko jakim jest nieplanowane zwarcie tranzystora charakteryzuje się zarówno bardzo krótkimi czasami trwania, jak i dużymi stromościami narastania prądu di/dt oraz wysoką chwilową wartością szczytową. Właściwości te degradują lub całkowicie niszczą termicznie strukturę półprzewodnikową zaledwie w kilka mikrosekund wskutek przepływu prądu wielokrotnie przekraczającego wartość znamionową. Dlatego też, od wspomnianego typu zabezpieczeń przeciwzwarciowych wymaga się szybkiej detekcji tego zjawiska oraz natychmiastowego wyłączenia układu ze zredukowaną dynamiką w celu uniknięcia niekorzystnych przebiegów.

Na rynku dostępny jest cały szereg sterowników bramkowych oferujących omówione zabezpieczenia i przeznaczonych dla większości popularnych tranzystorów wykorzystywanych w układach małej i średniej mocy. Niestety w przypadku układów, w których stosuje się moduły tranzystorowe dużych mocy, lub gdy ma się do czynienia z nowoczesnymi układami o małej pojemności cieplnej (i wynikającej z tego faktu konieczności bardzo szybkiej detekcji zwarcia), wymaga się indywidualnego projektu sterownika bramkowego. Wymusza to tym samym zaprojektowanie dedykowanych zabezpieczeń, a także przetestowania skuteczności ich działania. Ze względu na wysokie ceny omawianych tranzystorów mocy, niezadziałanie projektowanego zabezpieczenia może skończyć się uszkodzeniem takiego elementu lub modułu, a tym samym poniesieniem znacznych kosztów.

Dlatego też istotne jest opracowanie rozwiązania, które pozwoli projektantom sterowników bramkowych na bezpieczne, wielokrotne testowanie zabezpieczeń na tranzystorze mocy, bez możliwości jego uszkodzenia w przypadku niezadziałania projektowanego układu zabezpieczającego. Dodatkowo testowanie zabezpieczeń na docelowym elemencie, pozwala na precyzyjne dostrojenie poziomu wyzwalania zabezpieczenia.

Najczęściej pojawiającym się w literaturze istniejącym sposobem przeprowadzenia ww. testów jest stosowanie zmodyfikowanego układu przeznaczonego do tzw. testu dwupulsowego, podobnego do tego przedstawionego na fig. 1. Dzięki znajomości wartości indukcyjności L_1 możliwe jest kontrolowanie szybkości narastania prądu $i_{L_1}(t)$, tak aby

przekroczyć próg napięcia zadziałania V_{TH} na zaciskach AB zabezpieczonego tranzystora S_2 . Rozwiązanie bazujące na tym podejściu i przedstawione w publikacji autorstwa Wu, L. Smirnova, F. Iannuzzo, H. Wang, and F. Blaabjerg, "Investigation on the short-circuit behavior of an aged IGBT module through a 6 kA/1.1 kV non-destructive testing equipment," IECON Proc. Industrial Electron. Conf., pp. 3367–3373, 2014, wymaga jednak stosowania szybkich układów wyzwalających opartych o FPGA, a także dodatkowych elementów zabezpieczających takich jak: zabezpieczenie szeregowe, a także zabezpieczenie równoległe, które jednak nie gwarantują pełnej ochrony samego tranzystora S_2 , a znacznie komplikują stopień złożoności układu.

Istota rozwiązania

Przedmiotem wynalazku jest układ generowania impulsu prądowego imitującego zwarcie zapewniający wykrycie zwarcia i umożliwiający zadziałanie zabezpieczenia przeciwzwarciowego i zapewniającego nieniszczące warunki dla rzeczywistego zabezpieczonego tranzystora w przypadku niezadziałania zabezpieczenia. Układ składa się z trzech równoległych gałęzi, przy czym pierwsza zawiera nastawne źródło napięcia stałego i szeregowo włączony sterowany łącznik półprzewodnikowy, druga zawiera kondensator o nastawnej pojemności, trzecia zaś zawiera szeregowe połączenie indukcyjności oraz zabezpieczonego tranzystora mocy sterowanego przez projektowany sterownik bramkowy. Równoległe z indukcyjnością połączona jest dioda półprzewodnikowa o ściśle wyliczonym minimalnym napięciu przewodzenia skierowana tak, aby jej katoda podłączona była do dodatnio naładowanego zacisku kondensatora gałęzi drugiej.

Przedmiotem wynalazku jest również sposób generowania impulsu prądowego imitującego zwarcie, który umożliwia wykrycie stanu zwarcia i zadziałanie zabezpieczenia przeciwzwarciowego, zapewniając przy tym nieniszczące warunki dla rzeczywistego zabezpieczonego tranzystora w przypadku niezadziałania zabezpieczenia, w którym napięciem ładowania ze źródła ładuje się kondensator poprzez łącznik załączanym/wyłączanym przez pierwszy sygnał sterujący, który następnie rozwiera się ograniczając maksymalną ilość energii zwarcia.

Następnie, poprzez załączenie zabezpieczanego tranzystora przy pomocy drugiego sygnału sterującego wzmocnionego przez sterownik bramkowy wytwarza się zwarcioowy impuls prądowy o wyznaczonych parametrach, przepływający wyłącznie przez kondensator o nastawianej wartości, cewkę i zabezpieczany tranzystor, przy czym parametry impulsu prądowego wyznacza się na podstawie pojemności oraz napięcia ładowania przy założonej stałej wartości indukcyjności oraz katalogowych wartości maksymalnej temperatury $T_{j,max}$ złącza, minimalnego czasu trwania t_{min} potrzebnego do wykrycia zwarcia oraz maksymalnego prądu doprowadzeń $I_{BW,max}^2$ wewnątrz tranzystora zgodnie ze wzorem

$$ZRB(C_1, U_1,) = \begin{cases} T_j(C_1, U_1,) < T_{j,max} \\ \Delta t(C_1, U_1,) > t_{min} \\ I_{BW}^2(C_1, U_1,) < I_{BW,max}^2 \end{cases} .$$

Skrót ZRB oznacza Zestaw możliwych Rozwiązań Bezpiecznych– oznaczony zakreskowanym obszarem na rysunku (fig. 3).

Wskutek załączenia zabezpieczanego tranzystora przez drugi sygnał sterujący następuje rozładowanie kondensatora wytwarzając bezpieczny prąd zwarcia tranzystora, który pozwala na zadziałanie testowanego zabezpieczenia zwarcioowego poprzez wygenerowanie spadku napięcia na zaciskach pomiarowych AB powyżej progu (V_{TH}) trwającego dłużej niż minimalny projektowany czas wykrycia zwarcia (t_{min}). Dioda zwrotna o odpowiednio dobranym napięciu progowym zapobiega deformacji kształtu prądowego impulsu zwarcioowego.

Przykład wykonania

Przykład wykonania wynalazku został zilustrowany rysunkiem, na którym fig. 1 przedstawia schemat układu testowania zabezpieczeń przeciwzwarciowych sterownika bramkowego z wykorzystaniem sposobu generowania impulsu kontrolowanego zwarcia, fig. 2 przedstawia kształt napięcia $u_{AB}(t)$ (odpowiadający kształtem prądowemu impulsowi kontrolowanego zwarcia) zapewniający wymagane kryteria testu zabezpieczenia przeciwzwarciowego, fig. 3 przedstawia zbiór kombinacji pojemności C_1 oraz napięcia U_1

zapewniający generowanie nieniszczących impulsów kontrolowanego zwarcia, a fig. 4 przedstawia zbiór kombinacji pojemności C_1 oraz napięcia U_1 dla konkretnego tranzystora.

Istotą doboru wszystkich elementów jest warunek uzyskania odpowiedzi układu krytycznie tłumionej lub silnie tłumionej układu dynamicznego drugiego rzędu, dlatego właściwym jest założenie, iż układ musi spełnić założenie przynajmniej warunku krytycznie tłumionego. Należy przy tym pamiętać, że celem wynalazku jest wyznaczenie zakresu zmian pojemności C_1 , oraz napięcia U_1 umożliwiającego bezpieczne generowanie zwarciovego impulsu prądowego – jednym słowem sposób przedstawiony w zgłoszeniu pozwala obliczyć zbiór rozwiązań $\{C_1, U_1\}$.

Wartości zmiennych t_{min} oraz V_{TH} nie są wyznaczane. Są to parametry projektowe, mówiące o tym przez jak długi czas (t_{min} – czas wykrycia przez sterownik bramkowy stanu awaryjnego w celu zadziałania) spadek napięcia na badanym tranzystorze powinien przekraczać progową, projektowaną wartość (V_{TH}) badanego zabezpieczenia przeciwzwarciowego.

W celu osiągnięcia odpowiedniego kształtu impulsu prądu należy w pierwszej kolejności określić wartość indukcyjności L_1 . Dla jej wyznaczenia należy przyjąć warunek projektowy jakim jest czas t_{pk} (czas wystąpienia maksymalnej wartości impulsu zwarciovego), oraz wartość R_1 , która odpowiada rezystancji złącza półprzewodnikowego badanego tranzystora S_2 oraz skorzystać ze wzoru :

$$L_1 = 0.9 R_1 t_{pk}$$

Przy czym t_{pk} powinien być wartością z zakresu $(0, 1/3 t_{min})$. Po obliczeniu tej wartości, można przyjąć założenia dotyczące minimalnej wartości pojemności $C_{1,min}$, która wynosi:

$$C_{1,min} > \frac{4L_1}{R_1^2}$$

Ostatnim parametrem wymagającym obliczenia jest wartość napięcia progowego diody D_1 – $U_{F,D1}$. W tym celu należy rozwiązać nierówność:

$$U_{F,D_1} > u_{AB}(t_{U_{D_1,max}}) - u_{C_1}(t_{U_{D_1,max}})$$

gdzie $u_{C_1}(t)$ to przebieg napięcia kondensatora C_1 , a $u_{AB}(t)$ to przebieg napięcia na zaciskach AB będący zależnością $i_{L_1}(t) \cdot R_1$. Chwila czasowa $t_{U_{D_1,max}}$ to czas, w którym różnica tych dwóch funkcji osiąga maksimum. Prąd $i_{L_1}(t)$ oraz napięcie $u_{C_1}(t)$ są znanymi funkcjami będącymi rozwiązaniami równania różniczkowego omawianego obwodu $R_1L_1C_1$ przy warunkach początkowych $i_{L_1}(0) = 0$, oraz $u_{C_1}(0) = U_{1,max}$, gdzie $U_{1,max}$ to maksymalna wartość napięcia z otrzymanego zbioru rozwiązań $\{U_1, C_1\}$.

Przedstawiony na fig. 1. układ testowy podobny jest do obwodu testu dwupulsowego z tą różnicą, że kondensator C_1 ma nastawną pojemność a jego ładunek dostarczony jest ze źródła U_1 poprzez łącznik S_1 sterowanego sygnałem CTRL₁, który następnie zostaje rozwarthy, ograniczając tym samym energię dostępną w układzie tylko do tej zgromadzonej w kondensatorze. Obecny na tym schemacie zabezpieczony tranzystor S_2 rozładowuje kondensator C_1 poprzez indukcyjność L_1 wskutek pojawienia się drugiego sygnału sterującego CTRL₂, wzmocnionego przez projektowany sterownik bramkowy DRV wyposażony w pomiar napięcia AB, który to porównywany jest z wbudowanym w DRV napięciem referencyjnym V_{TH} – progiem zadziałania zabezpieczenia. Dioda zwrotna D_1 służy do ochrony przeciwprzepięciowej tranzystora S_2 wskutek zadziałania zabezpieczenia przeciwzwarciovego oraz w celu zapobiegania zniekształcania kształtu prądu zwarciovego.

Istotą opracowanego sposobu jest taki dobór elementów L_1 , C_1 , oraz napięcia progowego diody D_1 , a także poziomu napięcia zasilania U_1 w taki sposób, aby kształt napięcia $u_{AB}(t)$ pokazany na fig. 2 przekraczał wartość V_{TH} , przez wymagany czas t_{min} jednocześnie zapewniając warunki, w których dostarczona do tranzystora S_2 energia nie uszkodzi go. Przedstawiony kształt prądu jest charakterystyczny dla tłumionej odpowiedzi impulsowej układu dynamicznego drugiego rzędu. Oznacza to tyle, że przy wybranej wartości L_1 oraz wynikającej z właściwości tranzystora S_2 stałej rezystancji R_1 - możliwej do odczytania z noty katalogowej, należy wyliczyć minimalną wartość pojemności C_1 , zapewniającej taką odpowiedź. Na kształt impulsu wpływają wszystkie składowe obwodu RLC, jednak z praktycznego punktu widzenia dużo łatwiej jest zmieniać pojemność C_1 poprzez dołączanie odpowiedniej ilości kondensatorów równolegle niż zaprojektować nisko-indukcyjny dławik L_1

o zmiennej indukcyjności, który wytrzyma wartość natężenia prądu kilkunastokrotnie większą od wartości prądu znamionowego tranzystora.

Obliczenie wartości napięcia przewodzenia diody D_1 jest istotne ze względu na poprawność generowania impulsu o żądanym kształcie. Konieczność ta wynika z faktu, iż w określonej chwili czasowej napięcie $u_{AB}(t)$ jest większe niż napięcie rozładowującego się kondensatora C_1 i dioda D_1 zaczyna przewodzić przed wygaśnięciem impulsu prądowego. Zwiększone, względem typowo dostępnych wartości, napięcie przewodzenia diody D_1 można uzyskać poprzez szeregowe połączenie diod o mniejszej wartości napięcia przewodzenia.

Kształtowany impuls prądowy musi spełnić poniższe kryteria, aby zapewnić poprawne, bezpieczne testowanie badanego tranzystora:

- Energia dostarczona do tranzystora nie może podnieść temperatury złącza tranzystora powyżej maksymalnej wartości $T_{j,max}$ zawartej w nocie katalogowej producenta. W tym celu możliwe jest analityczne rozpisanie równania prądu przetężenia $i_{L1}(t)$ proporcjonalnego do opisanego napięcia $u_{AB}(t)$. Na podstawie tych wartości, a także na podstawie aproksymowanego modelu termicznego pierwszego rzędu badanego tranzystora S_2 (wykorzystującego charakterystyki impedancji termicznej zawarte w jego nocie katalogowej) możliwe jest określenie maksymalnej temperatury $T_{j,max}$ jaką osiągnie złącze wskutek impulsu o tak zaprojektowanym kształcie. Umożliwia to nałożenie pierwszego ograniczenia dla warunków zasilania U_1 oraz wartości pojemności C_1 w celu zapewnienia nieniszczącego impulsu sztucznego zwarcia.

- Odpowiednio długi czas trwania impulsu t_{min} . W oparciu o równanie różniczkowe napięcia $u_{AB}(t)$ oraz kryterium minimalnego czasu trwania (zależnego od czasu zadziałania zabezpieczenia) przez który napięcie jest większe niż napięcie progowe V_{TH} , można wyznaczyć odpowiedni zestaw wartości C_1 oraz napięcia zasilania U_1 pozwalający na skuteczne przeprowadzenie testu.

- Ograniczenie maksymalnego prądu BW tranzystora S_2 , do którego obliczenia można skorzystać z podejścia stosowanego do obliczania prądu zadziałania bezpieczników topikowych.

Opisane ograniczenia pozwalają określić kombinacje wartości pojemności C_1 oraz napięcia zasilania U_1 , zapewniające bezpieczne, nieniszczące tranzystora S_2 impulsy zwarciove, pozwalające na testowanie skuteczności działania zabezpieczenia przeciwzwarciowego i zabezpieczające go w razie ich niezadziałania. Aby zwarcie zostało wykryte muszą być spełnione odpowiednie warunki opisywane w tym dokumencie – m.in. musi być zapewniony minimalny czas trwania (t_{min}) przez który, spadek napięcia na zaciskach A-B w obwodzie będzie większy niż V_{TH} .

Przykładowy Zestaw możliwych Rozwiązań Bezpiecznych (ZRB – oznaczony zakreskowanym obszarem) pokazano na fig. 3. Został on wyznaczony w oparciu o opisane kryteria:

- Kryterium maksymalnej temperatury złącza zaznaczono linią ciągłą ($T_{j,max}$).
- Kryterium minimalnego czasu trwania impulsu zaznaczono linią kropkowaną (t_{min})
- Kryterium maksymalnej wartości prądu bonding-wires (BW) zaznaczono linią przerywaną ($I_{BW,max}^2$).

Powyższe kryteria prowadzą do rozwiązania poniższej nierówności

$$ZRB(C_1, U_1) = \begin{cases} T_j(C_1, U_1) < T_{j,max} \\ \Delta t(C_1, U_1) > t_{min} \\ I_{BW}^2(C_1, U_1) < I_{BW,max}^2 \end{cases}$$

gdzie ZRB to taki zbiór wartości $\{C_1, U_1\}$, który zapewnia bezpieczne warunki testowania zabezpieczeń.

Przyjęte ograniczenia wyznaczają zbiór parametrów, których wybór pozwala zmieniać właściwości zwarciovego impulsu prądowego zapewniając tym samym bezpieczeństwo zabezpieczanego tranzystora S_2 .

Poniżej opisano przykład wykonania dla danych sterownika bramkowego: $V_{TH} = 7$ (V), $t_{min} = 7$ (us)

Przykładowe dane katalogowe zabezpieczanego tranzystora: $R_1 = 0.065$ (Ω), $C_{th} = 0.00151$ (J/K), $d_{BW} = 100$ (um), $T_a = 25$ ($^{\circ}C$), $T_{j,max} = 150$ ($^{\circ}C$), $\Delta T = 150$ ($^{\circ}C$);

1. Dobór indukcyjności: należy przyjąć, że czas, w którym wystąpi szczyt prądu t_{pk} powinien zawierać się w granicach $(0, 1/3 t_{min})$

$$L_1 = 0.9 R_1 t_{pk}$$

2. Minimalna wartość pojemności C_1 powinna wynosić:

$$C_{1,min} > \frac{4L_1}{R_1^2}$$

3. Wyznaczanie ograniczenia maksymalnej dopuszczalnej temperatury złącza. To organicznie można podać w postaci ścisłego wzoru wyrażającego napięcie zasilania U_1 w funkcji pojemności C_1

$$U_1(C_1) < \sqrt{\frac{2C_1(T_{j,max} - T_a)}{C_1}}$$

4. Wyznaczanie ograniczenia minimalnego czasu trwania impulsu zwarciovego pozwalającego uruchomić zabezpieczenie przeciwzwarciowe badanego sterownika bramkowego:

$$\Delta t \geq t_{min}$$

które można rozwiązać numerycznie szukając punktów przecięcia dwóch funkcji $u_{AB}(t)$ oraz V_{TH} , lub stosując poniższą aproksymację:

$$\Delta t = f(C_1, U_1) = \frac{1}{\omega_d(C_1) - \delta} \ln\left(\frac{2L_1\omega_d(C_1)V_{TH}}{R_1U_1}\right) - \frac{1}{2\delta} \left(1 - \frac{\sqrt{1 - 4\delta L_1 V_{TH}}}{R_1U_1}\right)$$

przy czym należy pamiętać, o warunku:

$$U_1 \geq 4\delta L_1 R_1 V_{TH}$$

5. Wyznaczanie maksymalnego prądu nieniszczącego doprowadzeń wewnątrz obudowy tranzystora (bonding-wire)

$$I_{BW}^2 < I_{BW,max}^2$$

$$\int_0^{t_{end}} i_{L1}^2(t) dt < \frac{A_c^2}{33} \log_{10} \left(\frac{\Delta T}{234 + T_a} + 1 \right)$$

gdzie:

$$i_{L1}(t) = \frac{U_1}{2L_1\omega_d(C_1)} [e^{(-\delta + \omega_d(C_1))t} - e^{(-\delta - \omega_d(C_1))t}]$$

Jest klasycznym rozwiązaniem równania różniczkowego drugiego rzędu o odpowiedzi tłumionej, gdzie:

$$\delta = \frac{R_1}{2L_1}$$

$$\omega_0(C_1) = \frac{1}{\sqrt{L_1 C_1}}$$

$$\omega_d(C_1) = \sqrt{\delta^2 - \omega_0^2(C_1)}$$

Natomiast zmienna granica całkowania wyrażona jest wzorem:

$$t_{end}(C_1) = \frac{1}{\omega_d(C_1) - \delta} \ln \left(\frac{2L_1 \omega_d(C_1) \varepsilon}{U_1} \right)$$

Wyznaczenie obszaru bezpiecznych warunków pracy ze względu na maksymalną wartość prądu BW powinno być rozwiązane numerycznie.

Wykonując przedstawione obliczenia uzyskuje się odpowiednie zbiory (w oparciu o warunki: większe niż, lub mniejsze niż) U_1 i C_1 , a część wspólna tych zbiorów stanowi rozwiązanie takie jak przedstawiono na fig. 4, które zostało uzyskane dla przyjętego czasu wystąpienia maksimum prądu - $t_{pk} = 1.96 \mu s$.

6. Wyznaczanie wartości napięcia przewodzenia diody:

Posiadając rozwiązanie przedstawione powyżej można określić maksymalne napięcie zasilające $U_{1,max}$ (oraz wartość pojemności C_1 dla której ono występuje), które ma wpływ na dobór napięcia progowego diody D_1 .

Napięcie progowe diody można zatem obliczyć ze wzoru:

$$U_{F,D_1} > u_{AB}(t_{U_{D_1,max}}) - u_{C_1}(t_{U_{D_1,max}})$$

gdzie:

$$u_{AB}(t) = R_1 i_{L_1}(t)$$

$$u_{C_1}(t) = \frac{1}{C_1} \int i_{L_1}(t) dt$$

oraz:

$$t_{U_{D1,max}} = \frac{1}{2\omega_d(C_1)} \ln \left(\frac{R_1 C_1 (-\delta - \omega_d(C_1) + 1)}{R_1 C_1 (-\delta + \omega_d(C_1) + 1)} \right)$$

Należy przy tym pamiętać, że funkcje i_{L1} oraz ω_d są zależne od pojemności C_1 i/lub od napięcia U_1 – dlatego w przedstawionych tutaj rozważaniach dotyczących obliczenia napięcia przewodzenia diody D_1 należy je obliczać dla przyjętej pary (C_1, U_1) odpowiadającej maksymalnej wartości napięcia U_1 (tj. $U_{1,max}$) z otrzymanego wcześniej zbioru rozwiązań bezpiecznych. Dla uzyskanych wyników napięcie $U_{F,D1}$ wynosi:

$$U_{F,D1} > 8.9 (V)$$

Aby uzyskać takie napięcie progowe należy połączyć kilka diod szeregowo.

Przedstawione rozwiązania charakteryzuje szereg zalet, wśród których należy wymienić:

- Możliwość dokładnego doboru czasu i progu zadziałania zabezpieczeń – dzięki możliwości przeprowadzenia testu z wykorzystaniem rzeczywistych tranzystorów docelowo montowanych w układach przekształtnikowych.
- Możliwość testowania bezpiecznego wyłączenia tranzystora z uwzględnieniem zredukowanej dynamiki – dzięki możliwości wyznaczenia dokładnej wartości prądu w chwili w której ma nastąpić wyłączenie zwarcia przy pomocy projektowanego zabezpieczenia w sterowniku bramkowym.
- Prostotę implementacji - dzięki na stałe zaprojektowanej wartości indukcyjności dławika i zmieniania tylko wartości napięcia zasilania i/lub pojemności C_1 .
- Możliwość cyklicznej, automatycznej pracy - dzięki zastosowaniu łącznika S_1 .
- Bezpieczeństwo – dzięki możliwości generowania impulsów prądowych o dużych wartościach chwilowych natężenia prądu, przy relatywnie niskim napięciu zasilania U_1 ; dla klasy napięciowej tranzystorów do 1kV, wymagane napięcie ze źródła U_1 liczone jest w dziesiątkach woltów.

- Uniwersalność względem technologii półprzewodnikowej - metoda jest skuteczna dla testowania zabezpieczeń układów sterowników bramkowych zasilających tranzystory zarówno MOSFET jak i IGBT.

Lista oznaczeń odsyłających

t_{\min} – minimalny czas, po którym przeciwzwarciowe zabezpieczenie testowanego sterownika bramkowego zaczyna wyłączać zwarcie

V_{TH} – próg napięcia na który musi zostać przekroczony na mierzonym złączu tranzystora (zaciski A-B) aby można był wykryć zwarcie. Stan przekroczonego napięcia musi trwać minimum t_{\min} aby sterownik bramkowy wyłączył zwarcie

R_1 – rezystancja złącza tranzystora

C_{th} – pojemność termiczna samego złącza tranzystora

d_{BW} – średnica przekroju metalicznego doprowadzenia wewnątrz tranzystora (tzw. bonding-wire) wyrażona w metrach.

A_c – pole przekroju doprowadzenia (bonding wire) wyrażona w jednostkach circular mills ($A_c = \pi d_{BW}^2 4934 * 10^8$)

ΔT – dopuszczalny przyrost temperatury doprowadzeń bonding-wires

T_a – temperatura otoczenia

$T_{j,max}$ – maksymalna dopuszczalna temperatura złącza

$\varepsilon = 0.25$ – pomocnicza zmienna pozwalająca określić czy prąd impulsu można uznać za zerowy.

U_1 – źródło napięcia stałego o nastawianej wartości

C_1 – kondensator o nastawianej wartości (minimalna wartość to C_{\min})

D_1 – dioda zwrotna

L_1 - cewka

$U_{F,D1}$ – napięcie progowe diody D_1

DRV – sterownik bramkowy

S_1 – łącznik ładujący kondensator C_1

S_2 – zabezpieczony tranzystor

CTRL₁ – pierwszy sygnał sterujący (łącznikiem S_1)

CTRL₂ – drugi sygnał sterujący (łącznikiem S_2)

$u_{ab}(t)$ – napięcie mierzone na zaciskach w punktach AB układu.

Zastrzeżenie patentowe

1. Układ generowania impulsu prądowego imitującego zwarcie zapewniający wykrycie zwarcia i umożliwiający zadziałanie zabezpieczenia przeciwzwarciowego i zapewniający nieniszczące warunki dla rzeczywistego zabezpieczanego tranzystora w przypadku niezadziałania zabezpieczenia

znamienny tym, że

zawiera trzy równoległe gałęzie obwodu, przy czym

w pierwszej gałęzi znajduje się nastawne źródło napięcia stałego (U_1) połączone z łącznikiem (S_1),

w drugiej gałęzi znajduje się kondensator (C_1) o nastawianej pojemności, a

w trzeciej gałęzi znajduje się szeregowe połączenie cewki (L_1) z zabezpieczanym tranzystorem (S_2) który sterowany jest przez sterownik bramkowy (DRV), zaś równoległe z cewką (L_1) połączona jest dioda zwrotna (D_1), której katoda podłączona jest do dodatnio naładowanego zacisku kondensatora (C_1) o nastawianej pojemności gałęzi drugiej.

2. Sposób generowania impulsu prądowego imitującego zwarcie zapewniający wykrycie zwarcia oraz umożliwiający zadziałanie zabezpieczenia przeciwzwarciowego i zapewniającego nieniszczące warunki dla rzeczywistego zabezpieczanego tranzystora (S_2) w przypadku niezadziałania zabezpieczenia

znamienny tym, że

napięciem zasilania ze źródła (U_1) ładuje się kondensator (C_1) o nastawianej pojemności poprzez łącznik (S_1) ładujący kondensator (C_1), który następnie zostaje rozarty odłączając kondensator (C_1) od stałego źródła zasilania ograniczając dostępny w układzie ładunek, następnie

poprzez załączenie zabezpieczanego tranzystora (S_2) przy pomocy drugiego sygnału sterującego (CTRL₂) wzmocnionego przez sterownik bramkowy (DRV) wytwarza się zwarciovym impuls prądowy o wyznaczonych parametrach, przepływający wyłącznie przez kondensator (C_1) o nastawianej wartości, cewkę (L_1) i zabezpieczany tranzystor (S_2), przy czym parametry impulsu prądowego wyznacza się na podstawie pojemności (C_1) oraz napięcia ładowania (U_1) przy założonej stałej wartości indukcyjności (L_1) oraz katalogowych wartości maksymalnej

temperatury $T_{j,max}$ złącza, minimalnego czasu trwania t_{min} potrzebnego do wykrycia zwarcia oraz maksymalnego prądu doprowadzeń $I_{BW,max}^2$ wewnątrz tranzystora zgodnie ze wzorem

$$ZRB(C_1, U_1,) = \begin{cases} T_j(C_1, U_1,) < T_{j,max} \\ \Delta t(C_1, U_1,) > t_{min} \\ I_{BW}^2(C_1, U_1,) < I_{BW,max}^2 \end{cases}$$

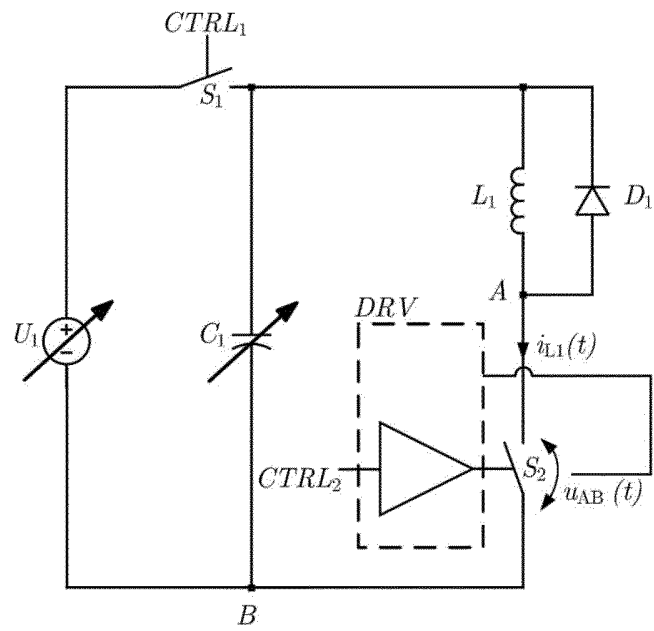


Fig. 1

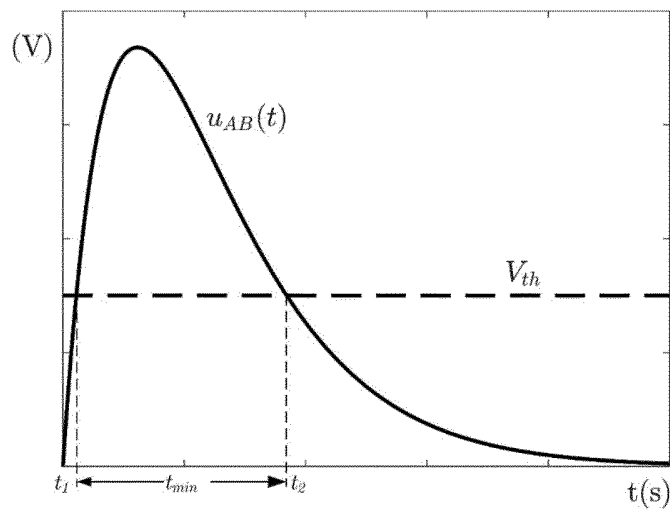


Fig. 2

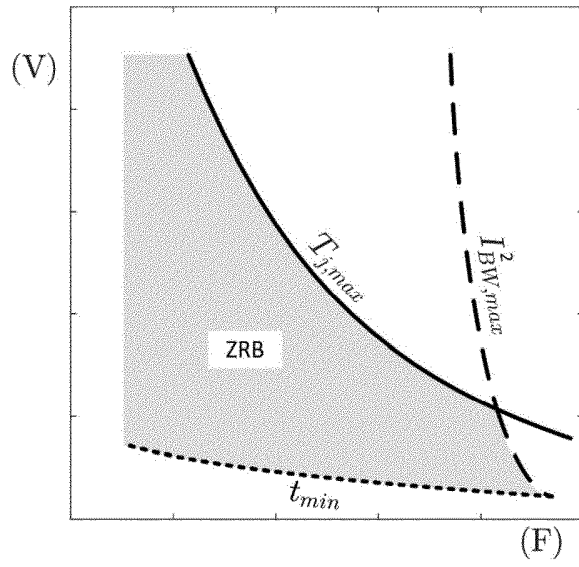


Fig. 3

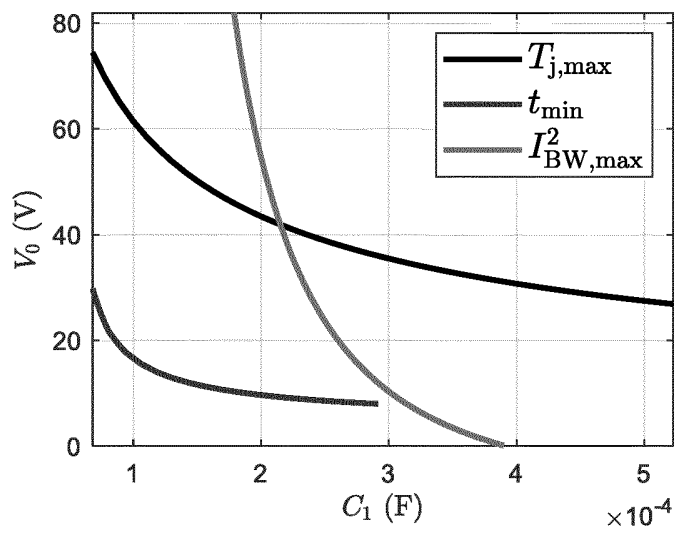


Fig. 4



SPRAWOZDANIE O STANIE TECHNIKI DO ZGŁOSZENIA NR P.441685

Klasyfikacja zgłoszenia: G01R 31/28, G01R 31/26, H03K 17/08, H02M 1/08, H02H 7/12		
Podklasy w których prowadzono poszukiwania: G01R, H03K, H02M, H02H		
Bazy komputerowe w których prowadzono poszukiwania: Espacenet, bazy UPRP, Epoquenet, Google		
Kategoria dokumentu	Dokumenty - z podaną identyfikacją	Odniesienie do zastrz.
A	US2013181729 A1 (EGAN PATRICK K [US]; HRUBY BRIAN J [US]; MILLER MICHAEL L [US]; IBM [US]) 18-07-2013	1-2
A	US2016282407 A1 (INFINEON TECHNOLOGIES AG [DE]) 29-09-2016	1-2
A	US2014139206 A1 (FUJITSU LTD [JP]) 22-05-2014	1-2
<input type="checkbox"/> Dalszy ciąg wykazu dokumentów na następnej stronie		
<p>A – dokument określający ogólny stan techniki, który nie jest uważany za posiadający szczególne znaczenie, E – dokument stanowiący wcześniejsze zgłoszenie lub patent, ale opublikowany w lub po dacie zgłoszenia, L – dokument, który może poddawać w wątpliwość zastrzegane pierwszeństwo(-wa), lub przytoczony w celu ustalenia daty publikacji innego cytowanego dokumentu lub z innego szczególnego powodu, O – dokument odnoszący się do ujawnienia ustnego przez zastosowanie, wystawienie lub ujawnienie w inny sposób, P – dokument opublikowany przed datą zgłoszenia, ale później niż zastrzegana data pierwszeństwa, T – dokument późniejszy, opublikowany po dacie zgłoszenia lub w dacie pierwszeństwa i niebędący w konflikcie ze zgłoszeniem, ale cytowany w celu zrozumienia zasad lub teorii leżących u podstaw wynalazku, X – dokument o szczególnym znaczeniu; zastrzegany wynalazek nie może być uważany za nowy lub nie może być uważany za posiadający poziom wynalazczy, jeżeli ten dokument brany jest pod uwagę samodzielnie, Y – dokument o szczególnym znaczeniu; zastrzegany wynalazek nie może być uważany za posiadający poziom wynalazczy, jeżeli ten dokument zostanie połączony z jednym lub kilkoma tego typu dokumentami, a takie połączenie będzie oczywiste dla znawcy, & – dokument należący do tej samej rodziny patentowej.</p>		

Sprawozdanie wykonał/-a:

Mateusz Gaweł
 Asesor

Data:

31.03.2023

Podpis:

 /podpisano kwalifikowanym podpisem elektronicznym/
 Pismo wydane w formie dokumentu elektronicznego

Uwagi do zgłoszenia

Sprawozdanie zostało wykonane w oparciu o zastrz. z dnia 08.07.2022 r.