

RZECZPOSPOLITA  
POLSKA



Urząd Patentowy  
Rzeczypospolitej Polskiej

12 OPIS PATENTOWY 19 PL 11 157571

13 B1

21 Numer zgłoszenia: 275349

51 IntCl<sup>5</sup>:

G06F 11/16

G06F 12/16

22 Data zgłoszenia: 18.10.1988

CZYTELNI  
OGÓLNA

54

Dekoder modułów biernych systemu mikroprocesorowego

43

Zgłoszenie ogłoszono:  
30.04.1990 BUP 09/90

45

O udzieleniu patentu ogłoszono:  
30.06.1992 WUP 06/92

73

Uprawniony z patentu:  
Politechnika Warszawska, Warszawa, PL

72

Twórca wynalazku:  
Jerzy Chrzaszcz, Warszawa, PL

57

1. Dekoder modułów biernych systemu mikroprocesorowego zawierający programowaną strukturę logiczną posiadającą wejścia adresowe dołączone do szyny systemu oraz wyjścia dekodujące dołączone do wejść modułów systemu, **znamienny tym**, że programowana struktura logiczna (1) ma również dodatkowe wejścia (M1,...,Mn) dołączone do rejestru sterującego (4) konfiguracją modułów systemu i ma dodatkowe wyjścia (E1,...,Eq) połączone do wejść zapasowych modułów systemu (51,...,5q).

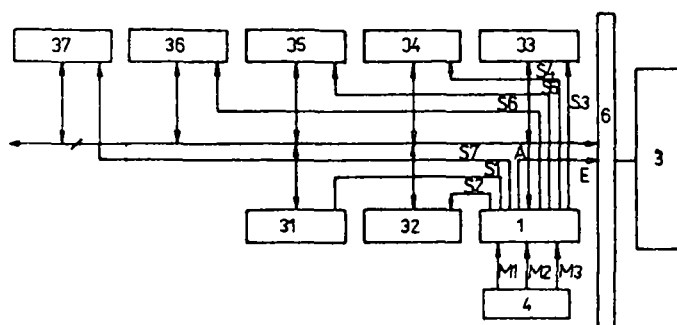


FIG.1

PL 157571 B1

## DEKODER MODUŁÓW BIERNYCH SYSTEMU MIKROPROCESOROWEGO

### Z a s t r z e ż e n i a   p a t e n t o w e

1. Dekoder modułów biernych systemu mikroprocesorowego zawierający programowaną strukturę logiczną posiadającą wejścia adresowe dołączone do szyny systemu oraz wyjścia dekodujące dołączone do wejść modułów systemu, z n a m i e n n y   t y m, że programowana struktura logiczna /1/ ma również dodatkowe wejścia  $M_1, \dots, M_n$  dołączone do rejestru sterującego /4/ konfiguracją modułów systemu i ma dodatkowe wyjścia  $E_1, \dots, E_q$  połączone do wejść zapasowych modułów systemu  $5_1, \dots, 5_q$ .

2. Dekoder według zastrz. 1, z n a m i e n n y   t y m, że zewnętrzne moduły zapasowe  $5_1, \dots, 5_v$  połączone są z wyjściami  $E_1, \dots, E_v$  programowanej struktury logicznej /1/ poprzez złącze diagnostyczne /6/.

\* \* \*

Przedmiotem wynalazku jest dekodek modułów biernych systemu mikroprocesorowego.

Znane są mikroprocesory wyposażone w wewnętrzny, programowany przez użytkownika układ dekodowania modułów biernych na przykład pamięci i wejścia/wyjścia. W zdecydowanej jednak większości systemów mikroprocesorowych niezbędne jest istnienie oddzielnego bloku, którego zadaniem jest rozpoznawanie stanu szyny adresowej i uaktywnianie na tej podstawie właściwego modułu.

Znany dekodek modułów biernych systemu mikroprocesorowego utworzony jest przez programowaną strukturę logiczną na przykład pamięć stałą. Wejścia adresowe tej pamięci połączone są do szyny systemu. Sygnały wyjściowe wybierają odpowiednie moduły systemu jak układy pamięci, wejścia/wyjścia. Zastosowanie struktur programowanych pozwala na zwiększenie uniwersalności systemu, gdyż mapa przestrzeni adresowej może być łatwo modyfikowana przez wymianę układu wybierającego. Układ umieszczany jest wtedy w podstawce, a nie bezpośrednio lutowany do obwodu drukowanego.

Znane dekodery nie mogą realizować funkcji diagnostycznych.

Dekoder według wynalazku ma w programowanej strukturze logicznej dodatkowe wejścia dołączone do rejestru sterującego konfiguracją modułów systemu i ma dodatkowe wyjścia dołączone do wejść zapasowych modułów systemu. Zewnętrzne moduły zapasowe połączone są z wyjściami programowanej struktury logicznej poprzez złącze diagnostyczne.

Dekoder według wynalazku pozwala na uruchamianie systemu w niepełnej konfiguracji, umożliwia przybliżone lokalizowanie uszkodzeń, bez fizycznego odłączania modułów jedynie przez logiczne odłączenie. Ponadto układ ułatwia konstruowanie systemów o podwyższonej niezawodności.

Przedmiot wynalazku jest przedstawiony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schemat blokowy systemu mikroprocesorowego z dołączonym dekodek modułów, a fig. 2 - schemat blokowy dekodera.

System zawiera procesor 3, pamięć programu 31, 32, pamięć danych 33, konwerter s/c 34, równoległy układ sprzęgający 35, programowany generator zegara 36 i kontroler transmisji szeregowej 37, które połączone są do szyny adresowej systemu 2. Wejścia wybierające tych modułów 31-37 dołączone są do wyjść dekodujących S1-S7 programowanej struktury logicznej, którą jest pamięć stała PROM 1. Wejścia adresowe A1, ..., A7 tej pamięci stałej PROM dołączone są do szyny adresowej 2. Ponadto pamięć 1 ma wejścia M1, M2, M3, podłączone do rejestru 4 sterującego konfiguracją modułów systemu oraz ma wyjścia dodatkowe E1, ..., Ev dołączone poprzez złącze diagnostyczne 6 do zapasowych modułów zewnętrznych 51, ..., 5v i wyjścia dodatkowe Ev+1, ..., Eq podłączone bezpośrednio do modułów zapasowych wewnętrznych 5v+1, ..., 5q. Sygnały M1, M2, M3, określają konfigurację modułów zgodnie z poniższą tabelą.

M1, M2, M3			realizowana funkcja
1	1	1	normalna konfiguracja systemu
1	1	0	odcięty pierwszy moduł pamięci 31
1	0	1	odcięta pamięć 33
1	0	0	odcięty równoległy układ sprzęgający 35
0	1	1	odcięty układ programowanego generatora zegara 36
0	1	0	odcięty kontroler transmisji szeregowej 37
0	0	1	odcięty blok konwertera a-c 34
0	0	0	odcięta cała pamięć programu 31, 32

Pamięć 33 zajmuje przestrzeń od adresu 0000

Rekonfiguracja polega na zmianie obszaru adresów związanego z wyjściami E1, ..., E<sub>q</sub>. W przypadku odłączenia danego modułu sygnał jego aktywacji zamiast na właściwej linii sterującej pojawią się na wyjściu E1, ..., E<sub>q</sub>. Umożliwia to zastępowanie modułów systemu zewnętrznym urządzeniem pamięciowym lub wejściowo/wyjściowym. Specjalny tryb pracy dekodera "000" pozwala na przekazanie sterowania do dowolnego programu, na przykład testującego, bez konieczności dokonywania zmian układowych. Osiągane jest to przez odpowiednie wypełnienie pamięci 33, przełączenie jej w obszar najniższych adresów i wymuszenie przerwania lub zerwania systemu. Zmiana obszaru adresów dzięki zastosowaniu wyjść E<sub>1</sub> umożliwia logiczne zastępowanie modułu badanego zewnętrznymi blokadami bez konieczności dokonywania jakichkolwiek zmian układowych. Pozwala to na uruchomienie systemu w niepełnej konfiguracji, a także na szybką identyfikację uszkodzonych modułów systemu.

Tryb pracy dekodera może być ustawiony przez operatora przy użyciu przełączników, przez urządzenie testujące /tester/ - za pośrednictwem złącza diagnostycznego 6, lub przez procesor 3 na skutek wpisania odpowiedniej danej do rejestru sterującego 4.

Liczba wyjść pamięci 1 może być podwojona względem wersji podstawowej, co umożliwia dołączenie dodatkowego kompletu modułów i może być w ten sposób wykorzystywany do podwyższenia niezawodności systemu. Jeżeli procesor 3 stwierdza niesprawność bloku wysyła do rejestru sterującego 4 wartość powodującą wybór takiej funkcji dekodera, która zapewni zastąpienie uszkodzonego modułu modułem zapasowym, bez fizycznego rozłączania bloków.

